

厚生労働科学研究費補助金  
政策科学総合研究事業（臨床研究等 ICT 基盤構築・人工知能実装研究事業）  
分担研究報告書

ロボット型内視鏡操作支援システムの AI による高度化と  
各種医療機器統合インターフェースとしての展開に関する研究

研究分担者 柴田 裕一郎 長崎大学大学院工学研究科 准教授

研究目的：ハードウェア構造を柔軟にプログラム可能な FPGA (Field Programmable Gate Array) に専用回路を構成することでこの問題を解決することを目指し、パーティクルフィルタの処理を効率的よく実現可能なハードウェア構成を明らかにする。  
方法：FO リサンプリング法を導入し、処理速度やハードウェア量を評価した。  
研究成果：ルックアップテーブル数で約 80,000 個，フリップフロップ数で約 106,000 個，DSP (Digital Signal Processing) ブロックで約 200 個のハードウェア資源があれば，毎秒 60 フレームの要求性能を満たしたリアルタイム処理が可能であることが示された。  
結語：リサンプリング処理に近似を用いることにより，パーティクルフィルタによる物体追跡処理から高い並列性を引き出し，非蓄積型のハードウェア構成で実現する手法を提案した。様々な構成を電力性能比の観点から比較した結果，1W 未満の消費電力で解像度 640×480 ピクセルの動画像を毎秒 60 フレーム処理できることが明らかになった。

共同研究者

Theint Theint Thu, 田原あかね（長崎大学）

A. 研究目的

本研究課題「ロボット型内視鏡操作支援システムの AI による高度化と各種医療機器統合インターフェースとしての展開」の目的を達成するためには，内視鏡から得られる画像データをリアルタイムに画像処理することによって，対象物を追跡する工学的技術の確立が必要となる。このような処理には，追跡対象物の運動モデルを確率的に利用するパーティクルフィルタと呼ばれるアルゴリズムが有効であることが知られている。しかし，パーティクルフィルタのアルゴリズムは多大な計算量を要することから，ロボットなどに用いられる小型で低消費電力の計算ハードウェアではリアルタイム性の実現が難しいという技術的課題があった。そこで，本年度はハードウェア構造を柔軟にプログラム可能な FPGA (Field Programmable Gate Array) に専用回路を

構成することでこの問題を解決することを目指し，パーティクルフィルタの処理を効率的よく実現可能なハードウェア構成を明らかにすることを研究目的とした。

B. 研究方法

パーティクルフィルタによる物体追跡処理をハードウェア化する際の問題として，アルゴリズム中のリサンプリングと呼ばれる処理には，全てのパーティクル間でのデータの移動が必要となり並列ができないことがあげられる。そこで FO リサンプリング法と呼ばれる一種の近似処理を導入することとした。また，カメラデバイスは常に有効画素を出力するのではなく，画素情報は出力せずに同期信号だけを出力する区間もあることに着目し，それぞれの区間でどのような演算を行うかを変更しながら，処理速度やハードウェア量を評価した。また，

空間的にハードウェアを展開することによって並列処理度を増やすことにより、低速なクロック周波数で動作させた場合と、高速なクロック周波数を用いて共通のハードウェア資源を時間多重的に利用することで全体を小規模化する場合とをそれぞれ実装することにより、性能や消費電力の観点から比較を行った。ハードウェアの設計にはレジスタトランスファレベルの Verilog HDL を用いた。要求性能は1フレームの解像度  $640 \times 480$  ピクセルの画像に対し毎秒 60 フレームとした。

(倫理面への配慮)

倫理上の問題が生じないように、提案システムの評価には研究機関によって公開されている物体追跡用ベンチマーク動画等を用いた。

### C. 研究結果

同期区間に適切に処理を割り当てることにより、ルックアップテーブル数で約 80,000 個、フリップフロップ数で約 106,000 個、DSP (Digital Signal Processing) ブロックで約 200 個のハードウェア資源があれば、毎秒 60 フレームの要求性能を満たしたリアルタイム処理が可能であることが示された。また、物体追跡用のベンチマーク動画像による評価の結果、最大追跡誤差は 0.5 ピクセル、平均二乗誤差は 0.001 ピクセルとなった。クロック周波数をカメラデバイスと同じ周波数に設定した設計と、その 5 倍の周波数を用いてハードウェアを時間多重により小規模化した設計の消費電力を比較した場合、前者は約 0.9 W となり、後者に比べて約 2.5 倍低消費電力であった。

### D. 考察

ベンチマーク動画を用いた物体追跡の誤差評価結果によれば、最大でも 1 ピクセル未満の誤差におさまっており、パーティクルフィルタアルゴリズムにおけるリサンプリングへの近似処理の導入が追跡精度に与える影響は実用上問題の無い程度であることが伺える。また、FPGA に専用回路を構築することにより、画像の入力処理と演算

処理を並列に行うことが可能になり、外部メモリを用いる必要も無くなった。この結果、チップで消費する電力は 1W 未満でありながら、毎秒 60 フレームのリアルタイム処理を実現できることが示され、医療支援機器としても実用的な高い電力性能比が達成できることが示された。また、高いクロック周波数による時間多重を用いてハードウェア規模を圧縮するよりも、空間的に展開した並列ハードウェア機構を低いクロック周波数で動作させる方が、より電力効率の点で有利であるという興味深い知見も得られた。今回確立したハードウェア画像処理技術の枠組みは、ニューラルネットワークを用いた動画像処理にも応用が可能であり、今後、ロボット型内視鏡操作支援システムへの搭載に向けて検討を続けていく予定である。

### E. 結論

リサンプリング処理に近似を用いることにより、パーティクルフィルタによる物体追跡処理から高い並列性を引き出し、非蓄積型のハードウェア構成で実現する手法を提案した。様々な構成を電力性能比の観点から比較した結果、1W 未満の消費電力で解像度  $640 \times 480$  ピクセルの動画像を毎秒 60 フレーム処理できることが明らかになった。また、近似処理の導入が追跡精度に与える影響は、実用上問題のない範囲であることが明らかになった。

### F. 健康危険情報

### G. 研究発表

#### 1. 論文発表

T. T. Thu, Y. Hayashida, A. Tahara, Y. Shibata, K. Oguri, Deep-pipelined FPGA Implementation of Real-time Object Tracking using a Particle Filter, International Journal of Networking and Computing, 7(2), pp.372-386 (2017)

A. Tahara, Y. Hayashida, T. T. Thu,

Y. Shibata, K. Oguri, Power Performance Analysis of FPGA-Based Particle Filtering for Real-time Object Tracking, Systems, Advances in Intelligent Systems and Computing, **611**, pp.451-462 (2017)

2. 学会発表

田原あかね, 林田与志樹, Theint Thu, 柴田裕一郎, 小栗清, FPGAによる物体追跡用パーティクルフィルタの高効率実装, 電子情報通信学会リコンフィギャラブルシステム研究会, 登別市 (2017)

H. 知的財産権の出願・登録状況 (予定を含む。)

1. 特許取得

なし

2. 実用新案登録

なし

3. その他

なし