

現状のLNAの特性 ノイズサマリ

Window Expressions Info

Device	Param	Noise Contribution	% Of Total
/I0/I3/MPINP	fn	0.000173737	11.59
/I0/I3/MPINM	fn	0.000173737	11.59
/I0/IFBM/MPR1	id	9.73493e-05	3.64
/I0/IFBP/MPR1	id	9.73493e-05	3.64
/I0/IFBM/MPR2	id	9.45065e-05	3.43
/I0/IFBP/MPR2	id	9.45065e-05	3.43
/I0/IFBM/MPR3	id	9.3081e-05	3.33
/I0/IFBP/MPR3	id	9.3081e-05	3.33
/I0/IFBM/MPR4	id	9.23006e-05	3.27
/I0/IFBP/MPR4	id	9.23006e-05	3.27
/I0/IFBM/MPR5	id	9.18602e-05	3.24
/I0/IFBP/MPR5	id	9.18602e-05	3.24
/I0/IFBM/MPR6	id	9.16159e-05	3.22
/I0/IFBP/MPR6	id	9.16159e-05	3.22
/I0/IFBM/MPR7	id	9.14881e-05	3.21
/I0/IFBP/MPR7	id	9.14881e-05	3.21
/I0/IFBM/MPR8	id	9.14278e-05	3.21
/I0/IFBP/MPR8	id	9.14278e-05	3.21
/I0/IFBM/MPR9	id	9.14035e-05	3.21
/I0/IFBP/MPR9	id	9.14035e-05	3.21
/I0/IFBM/MPRA	id	9.13959e-05	3.21
/I0/IFBP/MPRA	id	9.13959e-05	3.21
/I0/I3/MNCSP	fn	7.99722e-05	2.45
/I0/I3/MNCSM	fn	7.99722e-05	2.45
/I0/I3/MPCSP	fn	6.08664e-05	1.42
/I0/I3/MPCSM	fn	6.08664e-05	1.42
/I0/I3/MPINP	id	4.12049e-05	0.65
/I0/I3/MPINM	id	4.12049e-05	0.65
/I0/I3/MPCSP	id	4.06123e-05	0.63
/I0/I3/MPCSM	id	4.06123e-05	0.63

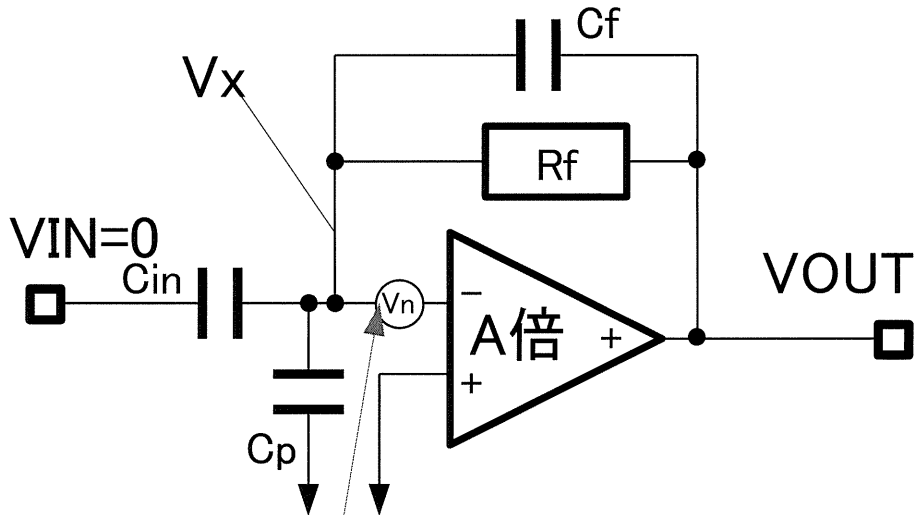
23%:フリッカ雑音(LNA_OPAMP入力段PMOS)

67%:熱雑音(帰還抵抗Rf)

○現状のLNA1の雑音
・帰還抵抗Rfの熱雑音の寄与が67%

Integrated Noise Summary (in V) Sorted By Noise Contributors
Total Summarized Noise = 0.000510439
Total Input Referred Noise = 1.25735e-05
The above noise summary info is for noise data

現状のLNAの特性 (OPAMPのフリッカ雑音に起因する成分)



OPAMPのフリッカ雑音入力換算値

OLNA_OPAMP入力段PMOSのフリッカ雑音入力換算雑音値は下記の式で示す通り面積の平方根に反比例する。

$$\bar{V}_n = \sqrt{\frac{K}{C_{ox}WL}}$$

○この雑音はノイズゲイン倍されてLNA出力に現れる。

○ノイズゲインの式の分子にはCp (OPAMP入力段の寄生容量)の項があるため、面積が増加するとノイズゲインは増加する。

→面積について雑音値は極小値を持つ。

(1) KCLより

$$(1/R_f + sC_f)(V_{OUT} - V_x) + s(C_p + C_{in})(-V_x) = 0$$

$$(1/R_f + sC_f)V_{OUT} = (s(C_p + C_{in} + C_f) + 1/R_f)V_x$$

$$V_{OUT} = \frac{s(C_p + C_{in} + C_f) + 1/R_f}{1/R_f + sC_f} V_x = G_n V_x$$

ノイズゲイン: G_n

(2) OPAMPの動作より

$$V_{OUT} = -A(V_x + V_n)$$

$$V_x = -V_n - \frac{V_{OUT}}{A}$$

(3) (1)(2)より

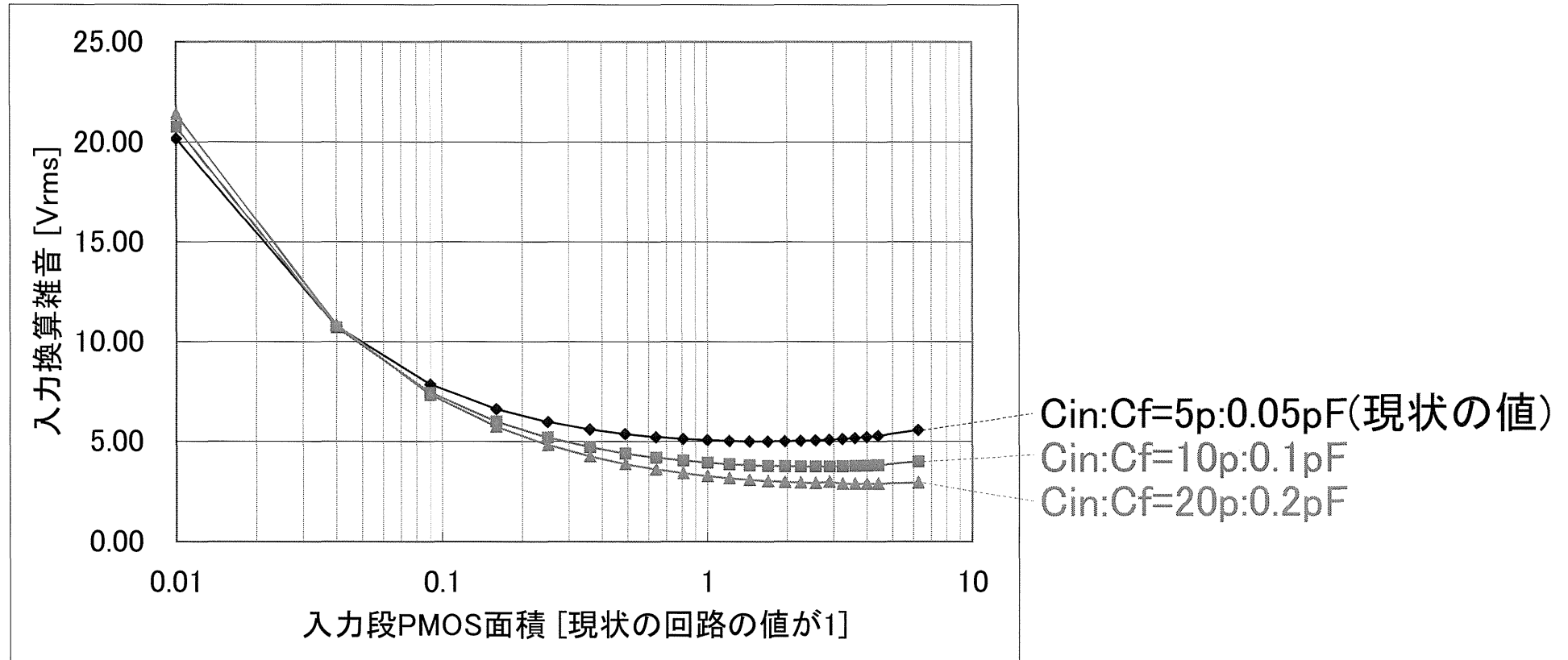
$$V_{OUT} = G_n \left(-V_n - \frac{V_{OUT}}{A} \right)$$

$$\left(1 + \frac{G_n}{A} \right) V_{OUT} = -G_n V_n$$

$$V_{OUT} = - \frac{G_n}{1 + \frac{G_n}{A}} V_n \approx G_n V_n$$

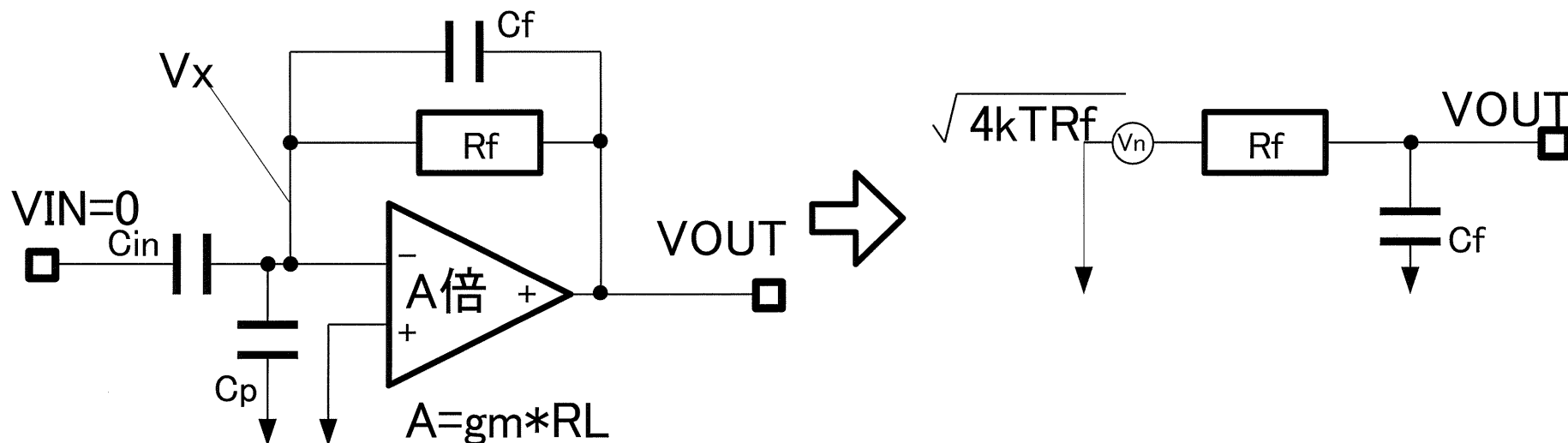
利得Aがノイズゲインよりも充分大きければ

現状のLNAの特性 (入力換算雑音のLNA_OPAMP入力段PMOSの面積依存性)



- OPAMP入力段PMOSの面積をSWEEPして入力換算雑音の値を求めた。
 - W対Lの比率は一定にしてWとLを共にx倍して面積を変更した。
 - CinとCfの比率は一定で値を大きくした場合も解析した。
 - 入力換算値は現状の回路で極小値にある事がわかった。
- CinとCfの値を大きくすると、相対的に入力段PMOSのゲート容量が小さくなりノイズゲインが低下するため雑音は改善する。

現状のLNAの特性（帰還抵抗Rfに起因する雑音成分）



○帰還抵抗 R_f に起因する
雑音成分 at V_{OUT} :

○現状は $R_{fb} = 31T \Omega$ 、 $C_f = 50fF$
なので、

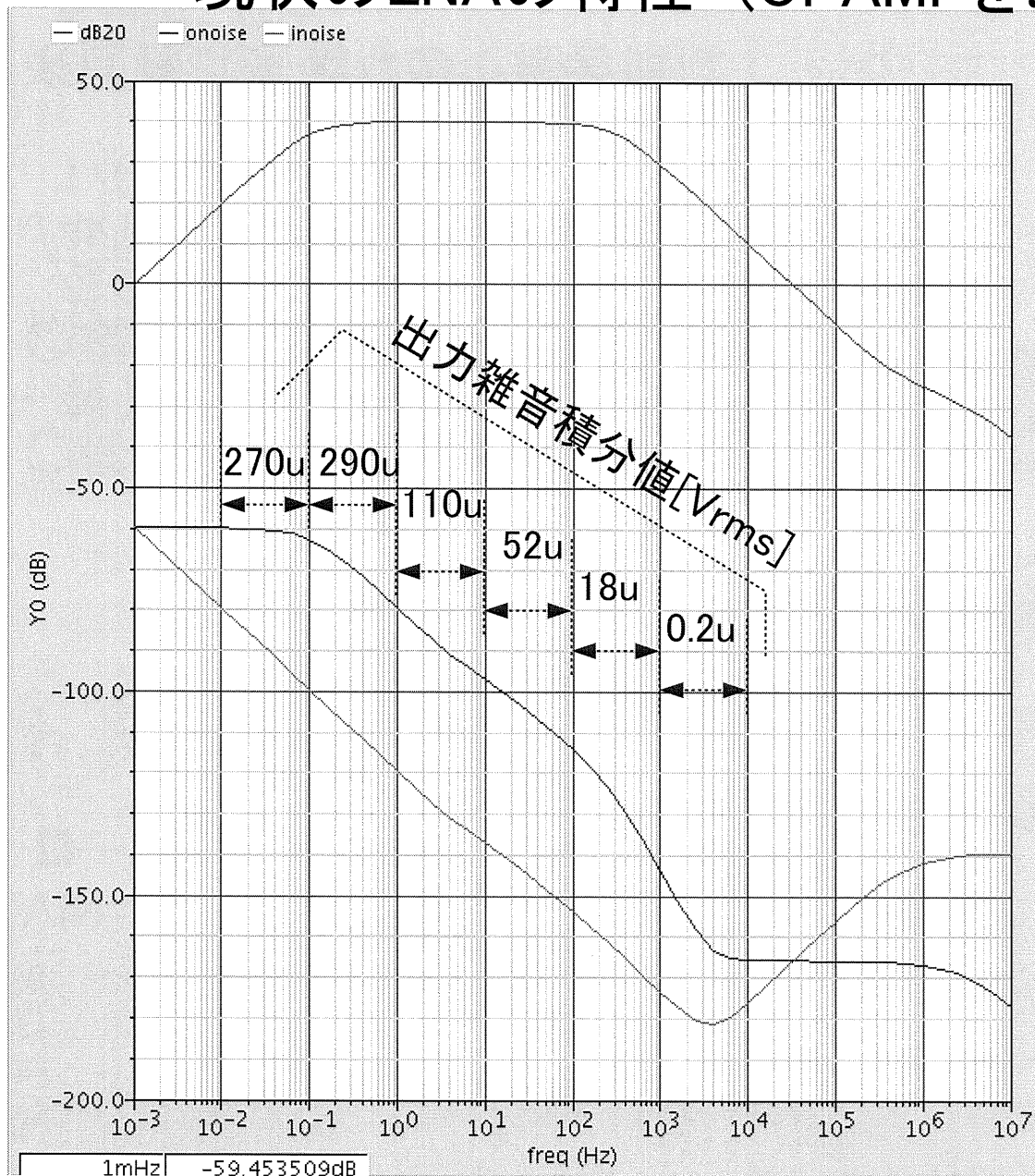
$$\sqrt{4kTRf} = 727 \text{ [uVrms/rtHz]}$$

$$1/(RfCf) = 0.1 \text{ [Hz]}$$

※回路は差動なので雑音値は
+3dBになる。

$$\frac{\sqrt{4kTRf}}{(RfCf)s+1} \text{ [Vrms/rtHz]}$$

現状のLNAの特性 (OPAMPをビヘイビア記述に変更)



Outputs

#	Name/Signal/Expr	Value	Plot Save March
4	inoise	wave	yes
5	GAIN	[dB] 40.08	利得
6	BW_L	[Hz] 104.8m	低域のカットオフ周波数
7	BW_H	[Hz] 322.8	高域のカットオフ周波数
8	IRN	[Vrms] 4.109u	入力換算雑音

○帰還抵抗Rfの影響を確認するため
OPAMPをビヘイビア記述に変更し
OPAMP起因の雑音を除去した。

○出力雑音積分値についてどの帯域
の雑音が支配的か調べたところ
10mHz～1Hz帯域の寄与が大きい
事がわかった。
→LNAの容量負荷を増やして
帯域制限しても雑音は低下しない。

※入力換算雑音:IRNは
10mHz～10kHz帯域の出力雑音
積分値[単位:Vrms]を利得で割った
もの

低雑音化の方針

(1)現状の回路の雑音の主要因は、帰還抵抗 R_{fb} 。

この雑音はカットオフ角周波数： $1/(R_{fb}C_{fb})$ から20dB/decで減衰するのでLNAの高域のカットオフ周波数 f_{c2} を下げてても雑音は減少しない。

(2)以上より低雑化対策を以下に示す。

a.出力雑音を減少させるには、カットオフ角周波数： $1/(R_{fb}C_{fb})$ を下げる必要がある。

a1. R_{fb} の値はゲートバイアス電圧で制御可能、以下の課題がある。

・ゲート、拡散層のリーク電流の影響で、 R_{fb} の値に上限がある

※シミュレーションに用いているデバイスモデルは、このリーク電流のモデルが正確でない場合があるので、実機の評価で上限を確認する方が良い。

・低域のカットオフ周波数が低下するので、LNAが定常状態に収束するまでの時間が増加する。

a2. C_{fb} の値に反比例してカットオフ周波数： $1/(R_{fb}C_{fb})$ は低下する

しかし、LNAの利得が一定の場合、 C_{fb} と C_{in} の面積は比例して増加する。

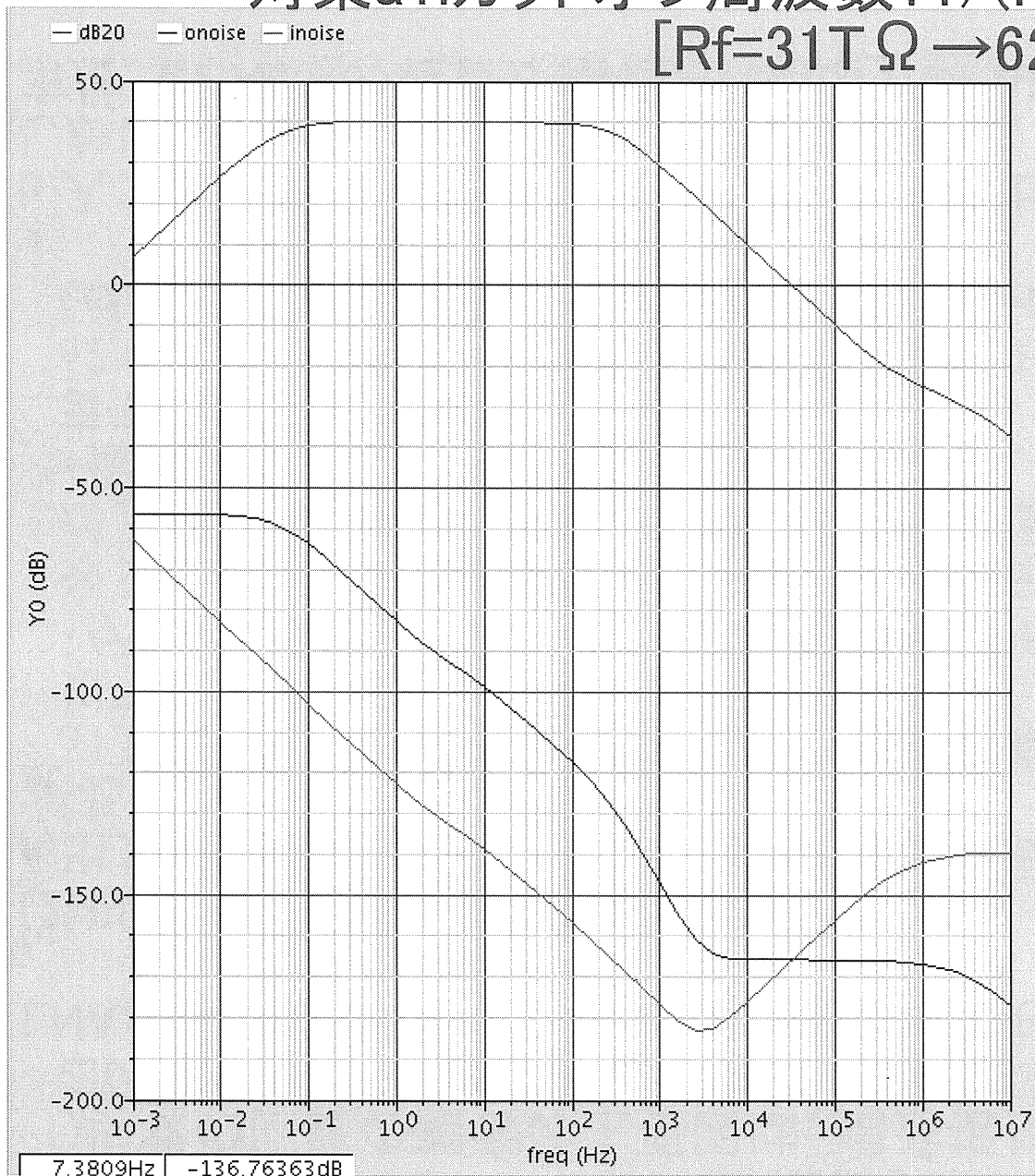
b.入力換算雑音を低下させるには、利得を上げればよい。

しかし、利得を上げると C_{in} の面積は増加し、非線形性が悪化する。

また、OPAMPの雑音が増幅されるのでOPAMPの低雑音化も必要になる。

対策a1.カットオフ周波数: $1/(RfCf)$ を0.5倍した場合

[$Rf=31T \Omega \rightarrow 62T \Omega$]



Outputs

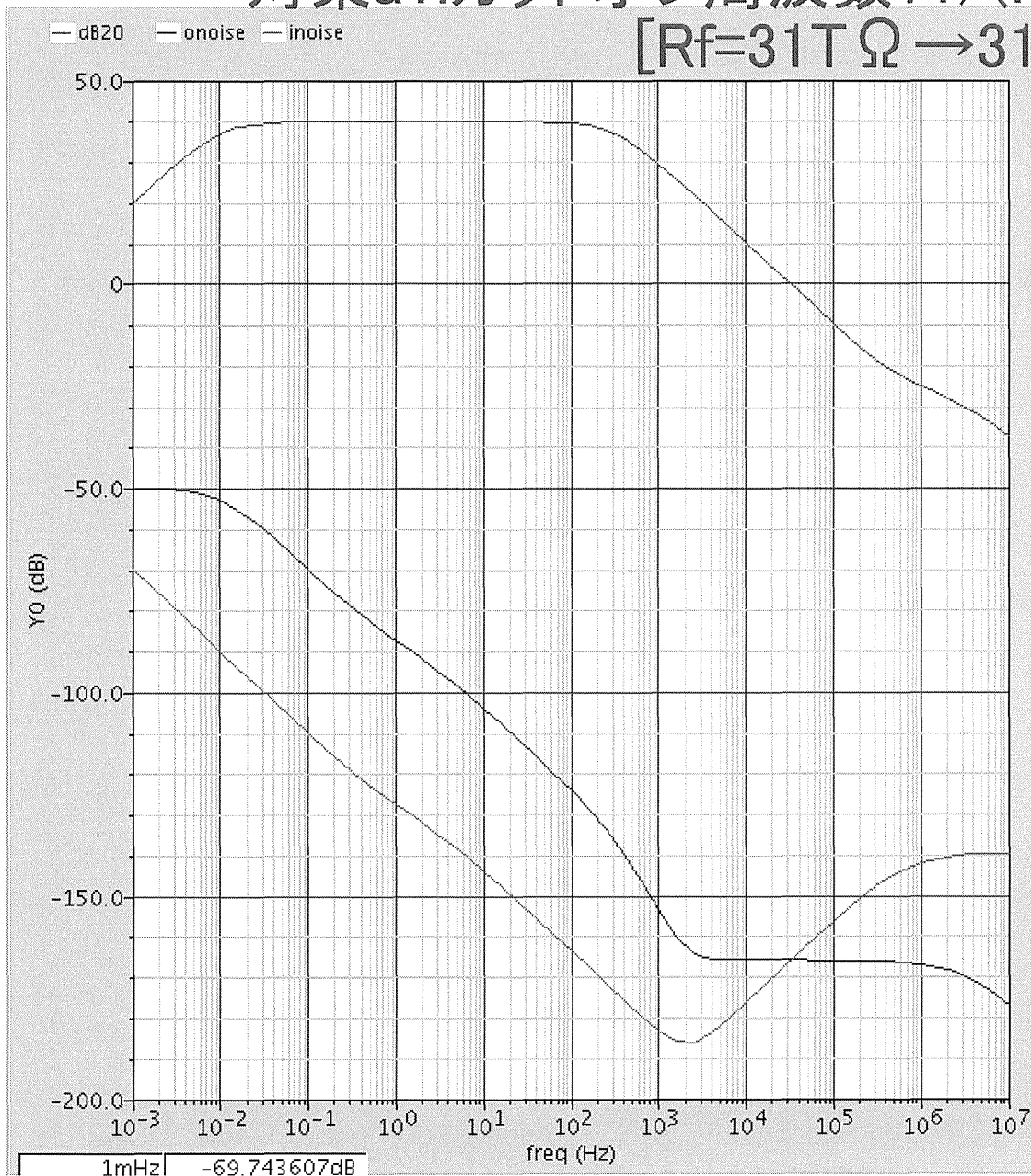
#	Name/Signal/Expr	Value	Plot Save March
4	inoise	wave	yes
5	GAIN	[dB] 40.08	利得
6	BW_L	[Hz] 50.12m	低域のカットオフ周波数
7	BW_H	[Hz] 316.9	高域のカットオフ周波数
8	IRN	[Vrms] 3.952u	入力換算雑音

※OPAMPをビヘイビア記述に変更

※入力換算雑音: IRNは
10mHz~10kHz帯域の出力雑音
積分値[単位: Vrms]を利得で割った
もの

対策a1.カットオフ周波数: $1/(RfCf)$ を0.1倍した場合

[$Rf=31T \Omega \rightarrow 310T \Omega$]



Outputs

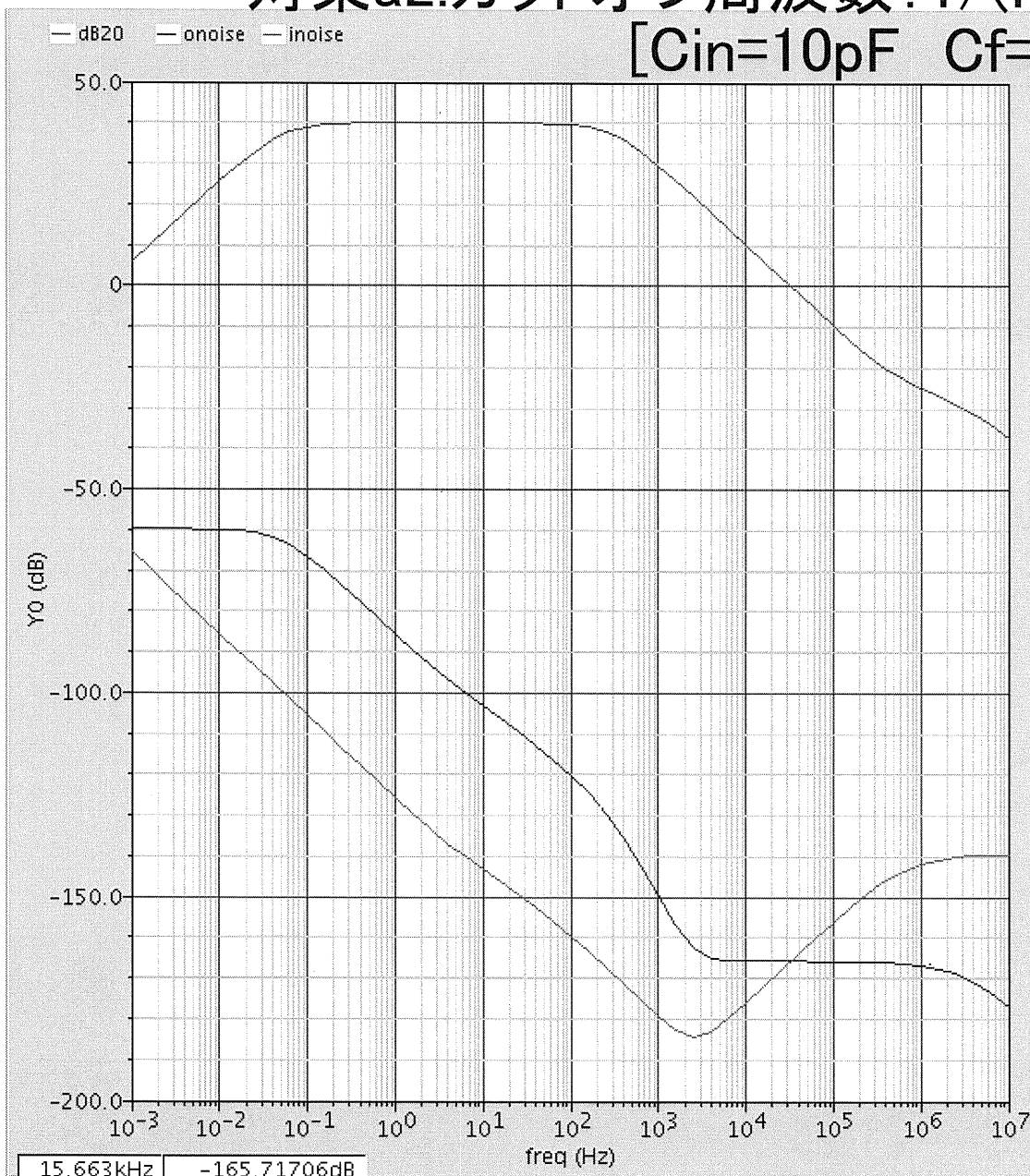
#	Name/Signal/Expr	Value	Plot Save March
4	inoise	wave	yes
5	GAIN	[dB] 40.08	利得
6	BW_L	[Hz] 10.28m	低域のカットオフ周波数
7	BW_H	[Hz] 316.7	高域のカットオフ周波数
8	IRN	[Vrms] 3.031u	入力換算雑音

※OPAMPをビヘイビア記述に変更

※入力換算雑音: IRNは
10mHz~10kHz帯域の出力雑音
積分値[単位: Vrms]を利得で割った
もの

対策a2.カットオフ周波数: $1/(RfCf)$ を0.5倍した場合

[$C_{in}=10pF$ $C_f=0.1pF$]



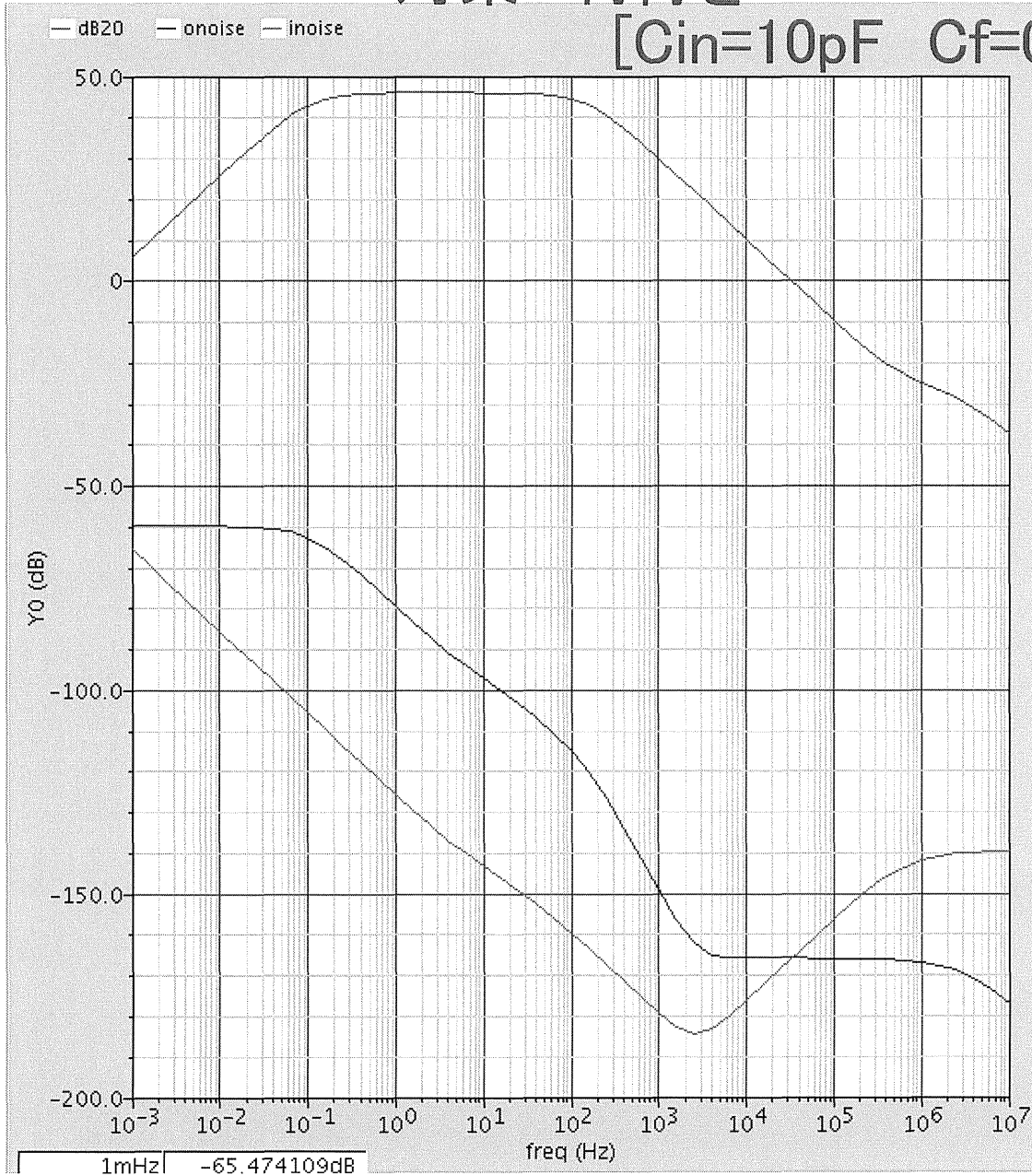
Outputs

#	Name/Signal/Expr	Value	Plot Save March
4	inoise	wave	yes
5	GAIN	[dB] 40.03	利得
6	BW_L	[Hz] 54.42m	低域のカットオフ周波数
7	BW_H	[Hz] 322.8	高域のカットオフ周波数
8	IRN	[Vrms] 2.81u	入力換算雑音

※OPAMPをビヘイビア記述に変更

※入力換算雑音: IRNは
10mHz~10kHz帯域の出力雑音
積分値[単位: Vrms]を利得で割った
もの

対策b.利得を40dB→46dBと増した場合 [Cin=10pF Cf=0.05pF]



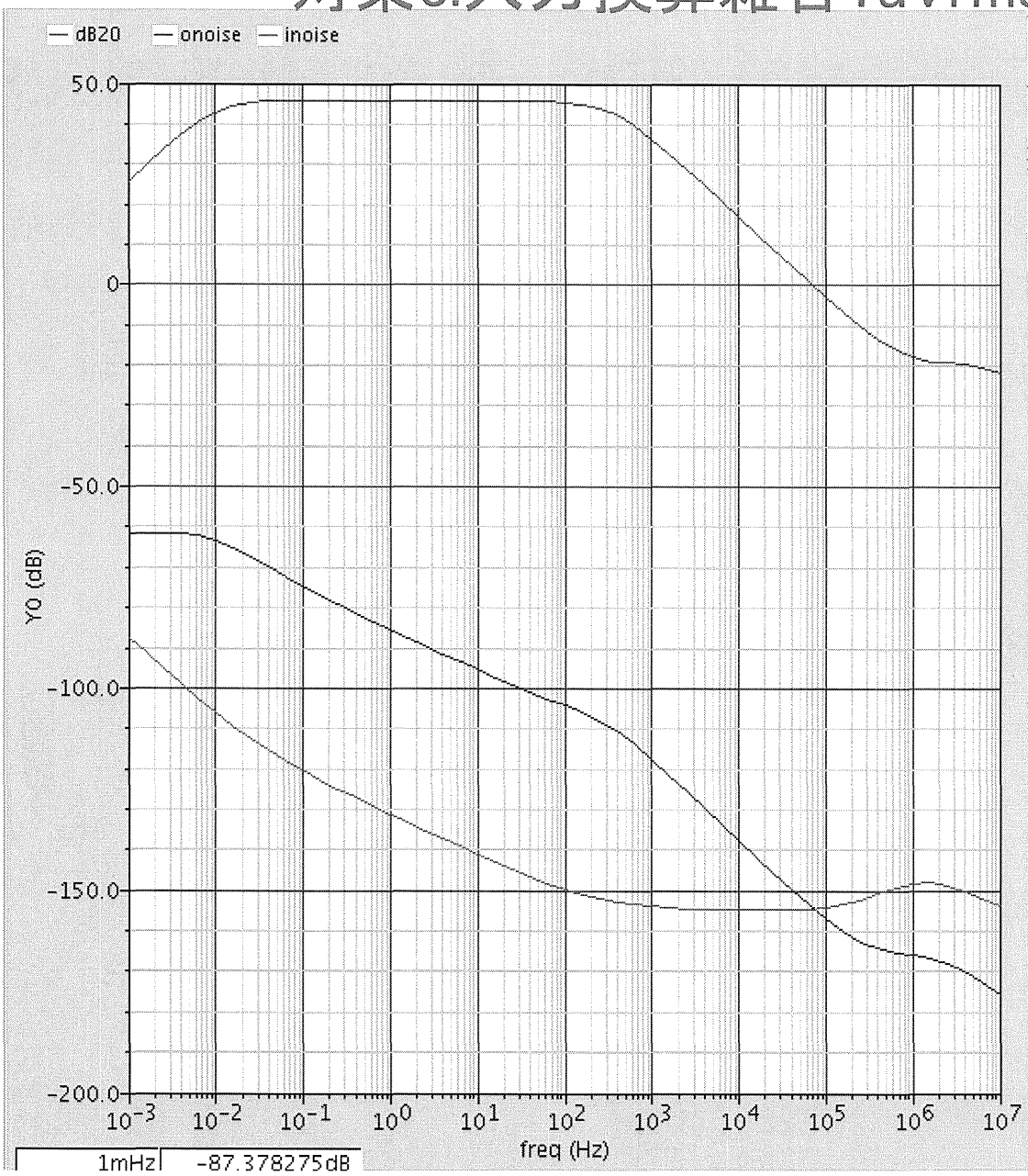
Outputs

#	Name/Signal/Expr	Value	Plot Save March
4	inoise	wave	yes
5	GAIN	[dB] 46.08	利得
6	BW_L	[Hz] 107.3m	低域のカットオフ周波数
7	BW_H	[Hz] 159.6	高域のカットオフ周波数
8	IRN	[Vrms] 2.055u	入力換算雑音

※OPAMPをビヘイビア記述に変更

※入力換算雑音:IRNは
10mHz~10kHz帯域の出力雑音
積分値[単位:Vrms]を利得で割った
もの

対策c. 入力換算雑音 $1\mu\text{Vrms}$ を達成させる場合



Outputs

#	Name/Signal/Expr	Value	Plot Save March
4	inoise	wave	yes
5	GAIN	[dB] 45.82	利得
6	BW_L	[Hz] 10.11m	低域のカットオフ周波数
7	BW_H	[Hz] 362	高域のカットオフ周波数
8	IRN	[Vrms] 1.06u	入力換算雑音

- 1) $C_{in}=160\text{pF}$ $C_f=0.8\text{pF}$
利得を46dBに設定
- 2) $R_f=31\text{T}\Omega \rightarrow 19\text{T}\Omega$
低域のカットオフ周波数 = 10mHz
- 3) OPAMPをテレスコピックカスコード型に変更して低雑音化

※入力換算雑音: IRNは
10mHz~10kHz帯域の出力雑音
積分値[単位: Vrms]を利得で割った
もの

- 124 -

対策c.入力換算雑音1uVrmsを達成させる場合 サマリ

Window Expressions Info

Device	Param	Noise Contribution	% Of Total
/I0/I3/MNCSP	fn	9.25943e-05	20.03
/I0/I3/MNCSM	fn	9.25943e-05	20.03
/I0/I3/MPINP	fn	7.94402e-05	14.75
/I0/I3/MPINM	fn	7.94402e-05	14.75
/I0/I3/MPINP	id	5.39637e-05	6.80
/I0/I3/MPINM	id	5.39637e-05	6.80
/I0/I3/MNCSP	id	2.07182e-05	1.00
/I0/I3/MNCSM	id	2.07182e-05	1.00
/I0/I3/RSDGP	rn	1.86751e-05	0.81
/I0/I3/RSDGM	rn	1.86751e-05	0.81
/I0/IFBM/MPR1	id	1.68874e-05	0.67
/I0/IFBP/MPR1	id	1.68874e-05	0.67
/I0/IFBM/MPR2	id	1.68286e-05	0.66
/I0/IFBP/MPR2	id	1.68286e-05	0.66
/I0/IFBM/MPR3	id	1.67994e-05	0.66
/I0/IFBP/MPR3	id	1.67994e-05	0.66
/I0/IFBM/MPR4	id	1.67835e-05	0.66
/I0/IFBP/MPR4	id	1.67835e-05	0.66
/I0/IFBM/MPR5	id	1.67746e-05	0.66
/I0/IFBP/MPR5	id	1.67746e-05	0.66
/I0/IFBM/MPR6	id	1.67697e-05	0.66
/I0/IFBP/MPR6	id	1.67697e-05	0.66
/I0/IFBM/MPR7	id	1.67671e-05	0.66
/I0/IFBP/MPR7	id	1.67671e-05	0.66
/I0/IFBM/MPR8	id	1.67659e-05	0.66
/I0/IFBP/MPR8	id	1.67659e-05	0.66
/I0/IFBM/MPR9	id	1.67654e-05	0.66
/I0/IFBP/MPR9	id	1.67654e-05	0.66
/I0/IFBM/MPRA	id	1.67652e-05	0.66
/I0/IFBP/MPRA	id	1.67652e-05	0.66

フリッカ雑音(LNA_OPAMP電流源NMOS)
フリッカ雑音(LNA_OPAMP入力段PMOS)

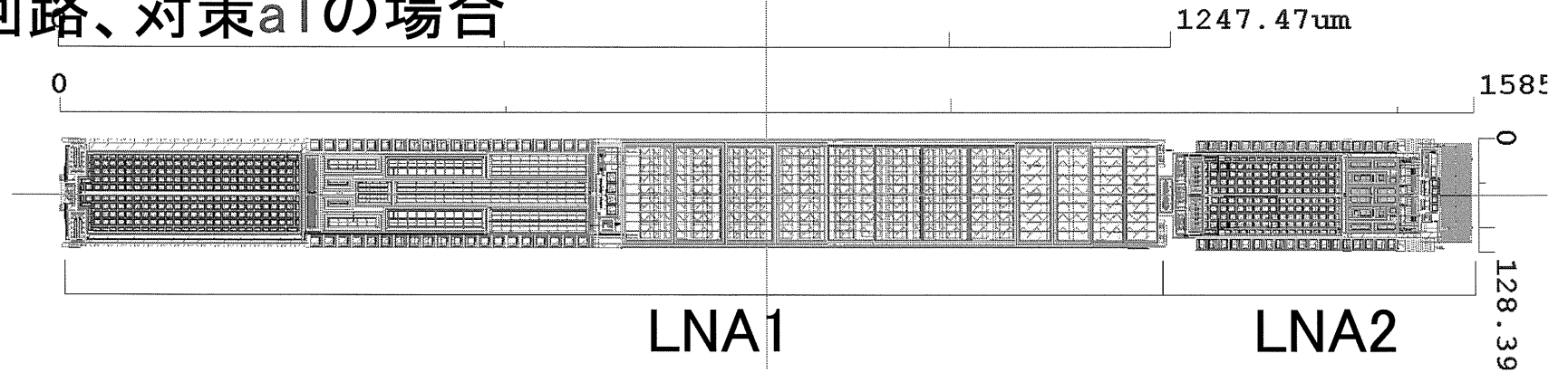
熱雑音(帰還抵抗Rf)

Integrated Noise Summary (in V) Sorted By Noise Contributors
Total Summarized Noise = 0.000206877
Total Input Referred Noise = 2.14557e-06
The above noise summary info is for noise data

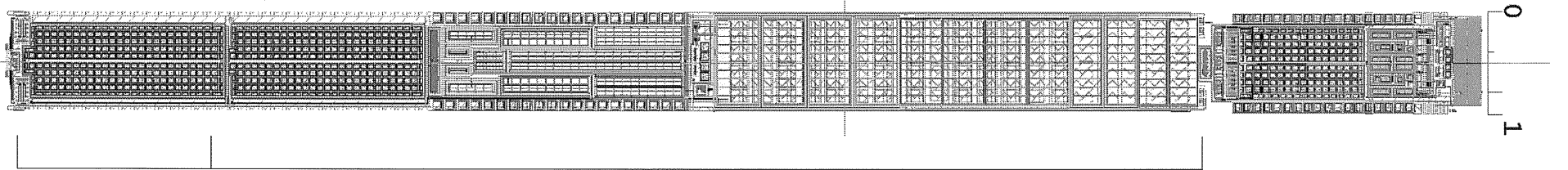
-125-

対策試行時の回路面積

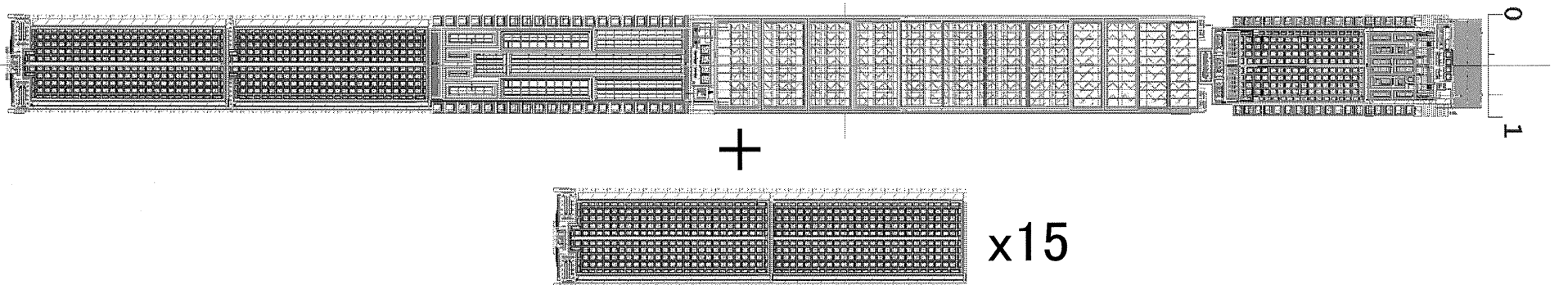
現状の回路、対策a1の場合



対策a2、bの場合



+246um 対策cの場合

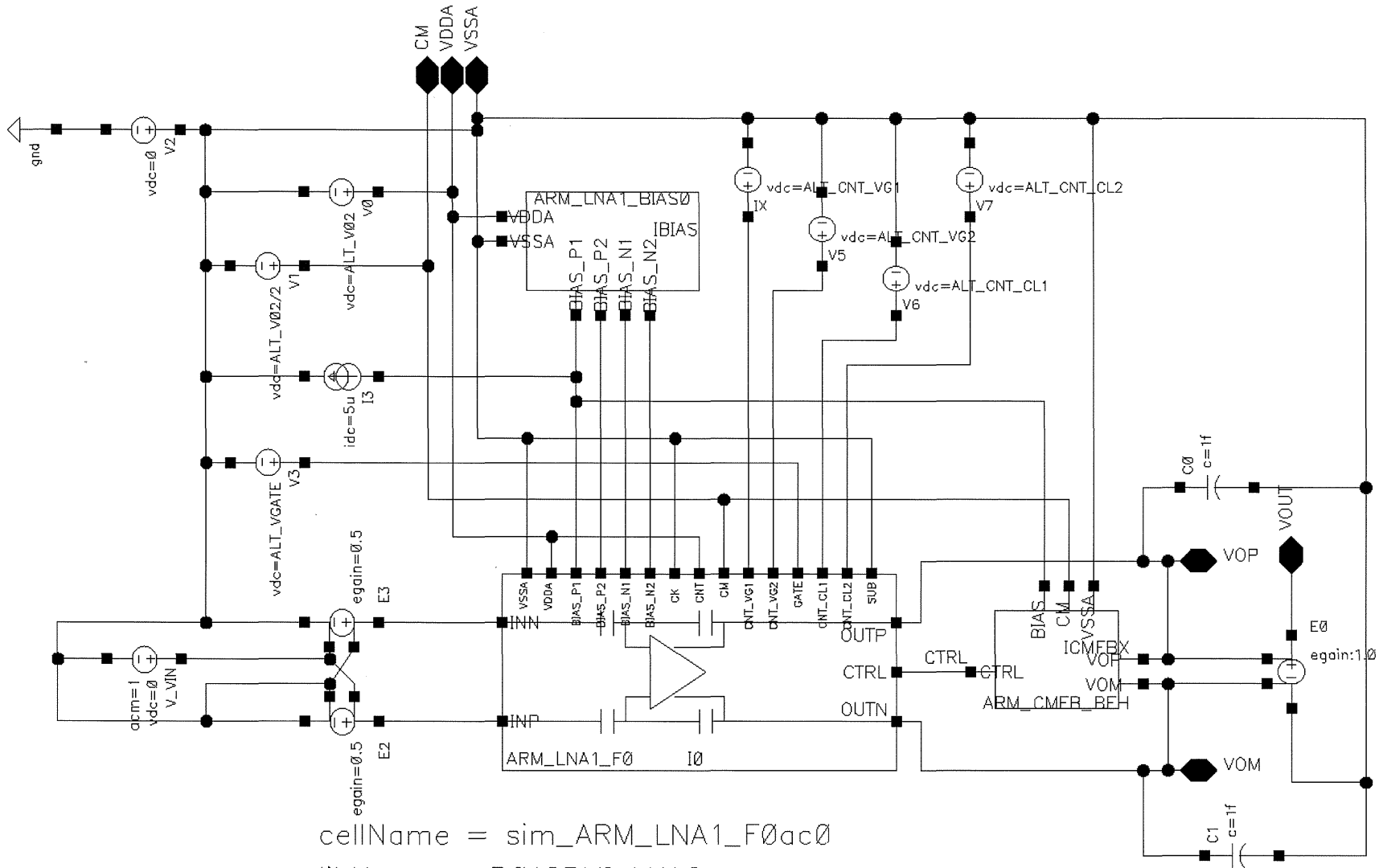


低雑音化対策の効果まとめ

		利得 dB	fc1 Hz	fc2 Hz	入力 換算 雑音 uVrms	消費 電流 uA	入力換算雑音 ※OPAMP起因 の雑音無し uVrms	面積
	現状の回路	40.1	0.10	243	5.1	15	4.1	1
対 策	a1.カットオフ周波数: $1/(RfCf)$ を0.5倍 [$Rf=31T\Omega \rightarrow 62T\Omega$]	40.1	0.05	243	5.0	15	4.0	1
	a1.カットオフ周波数: $1/(RfCf)$ を0.1倍 [$Rf=31T\Omega \rightarrow 310T\Omega$]	40.1	0.01	243	4.4	15	3.0	1
	a2.カットオフ周波数: $1/(RfCf)$ を0.5倍 [$Cin=10pF Cf=0.1pF$]	40.0	0.05	278	3.9	15	2.8	1.20
	b.利得を40dB→46dB [$Cin=10pF Cf=0.05pF$]	46.1	0.10	137	3.2	15	2.1	1.20
	c.利得を40dB→46dB [$Cin=160pF Cf=0.8pF$] [低域のカットオフ周波数=10mHz] [OPAMPをテレスコピックカスコード型に変更]	45.8	0.01	362	1.1	17	--	7.12

※消費電流はLNAのみ、バイアス回路含まず

回路図: LNA+BIAS回路とシミュレーション設定

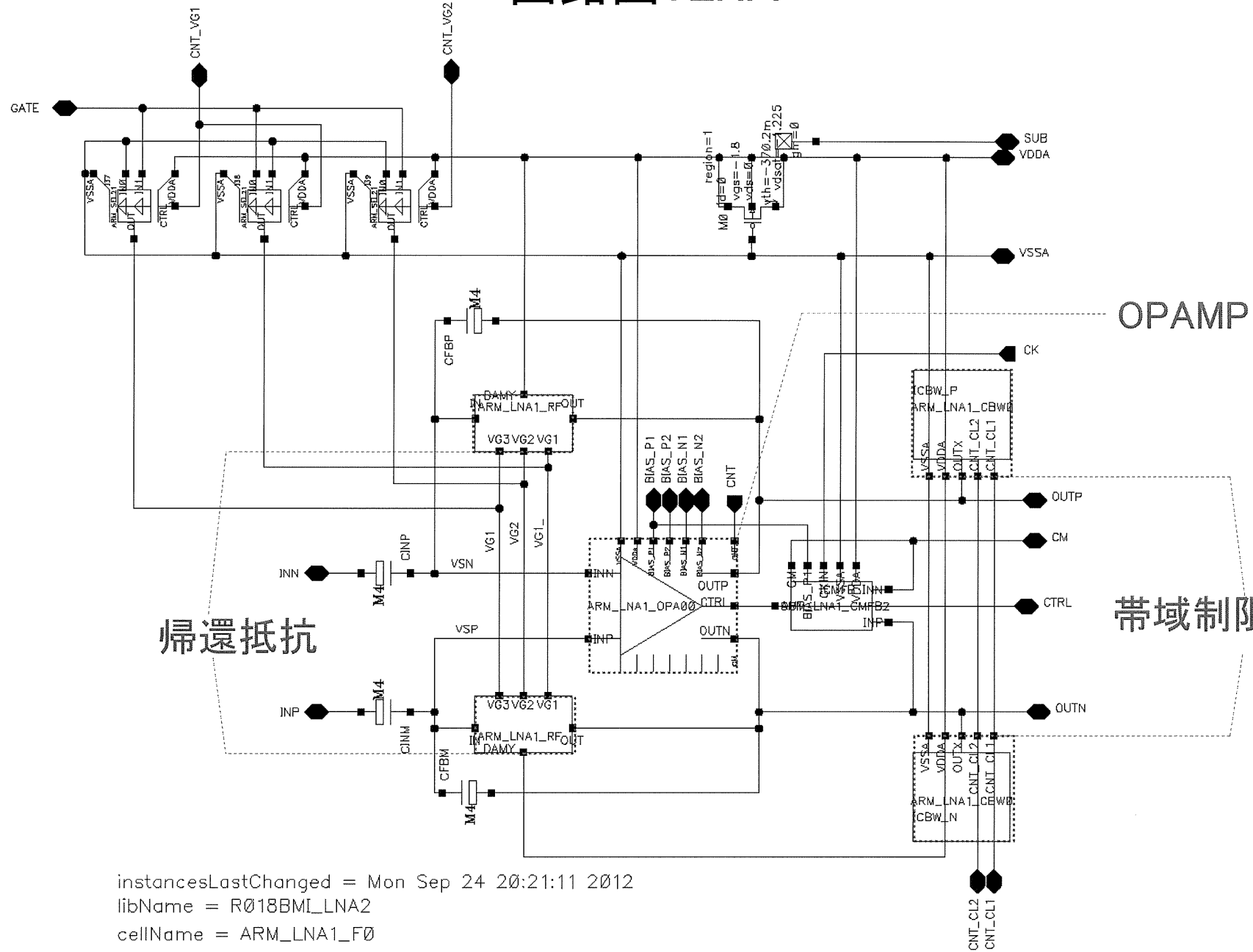


cellName = sim_ARM_LNA1_F0ac0

libName = R018BMI_LNA2

instancesLastChanged = Sat Sep 8 18:29:43 2012

回路図:LNA



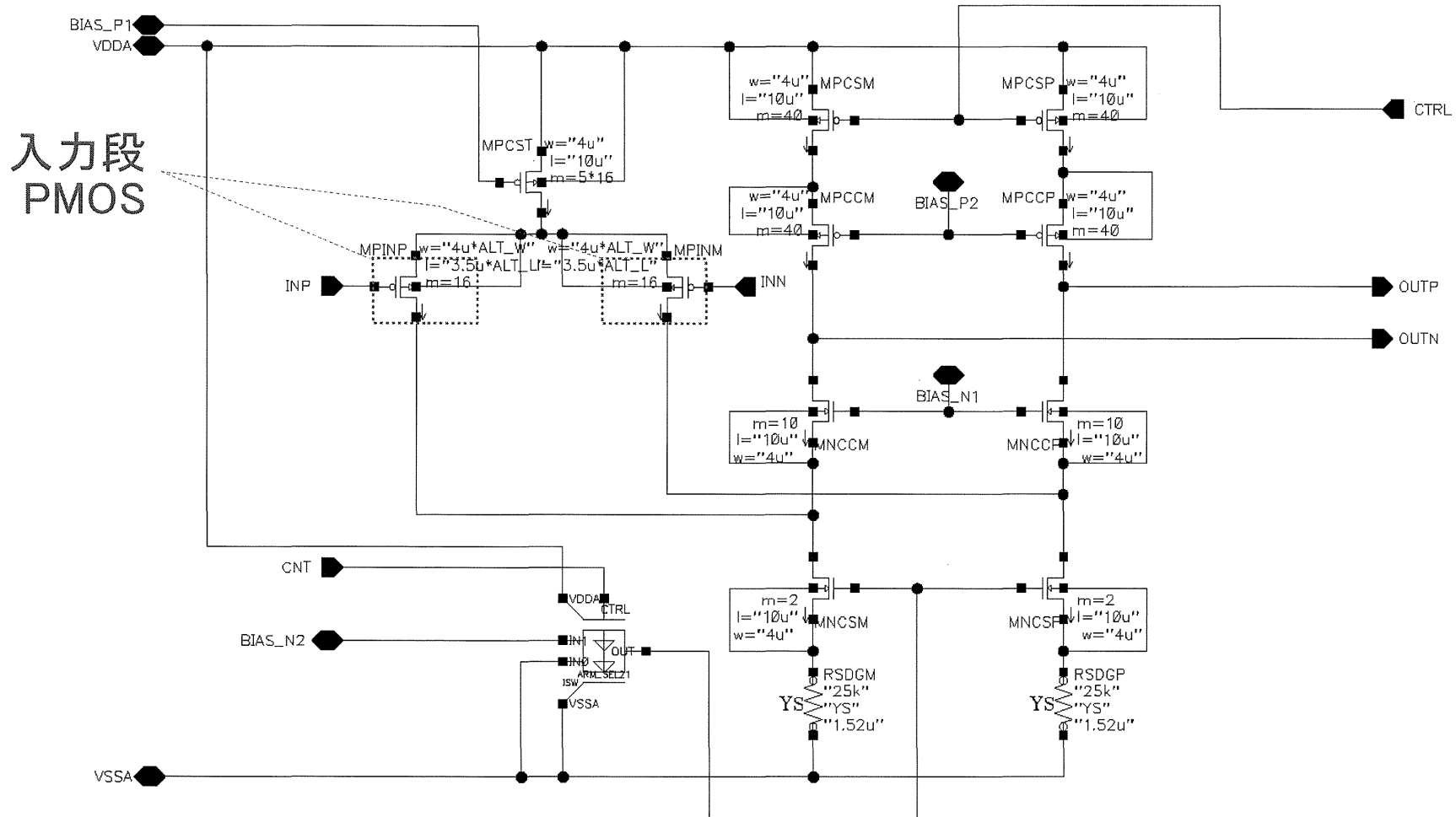
instancesLastChanged = Mon Sep 24 20:21:11 2012
libName = R018BML_LNA2
cellName = ARM_LNA1_F0

回路図: OPAMP

cellName = ARM_LNA1_OPA00

libName = R018BMI_LNA2

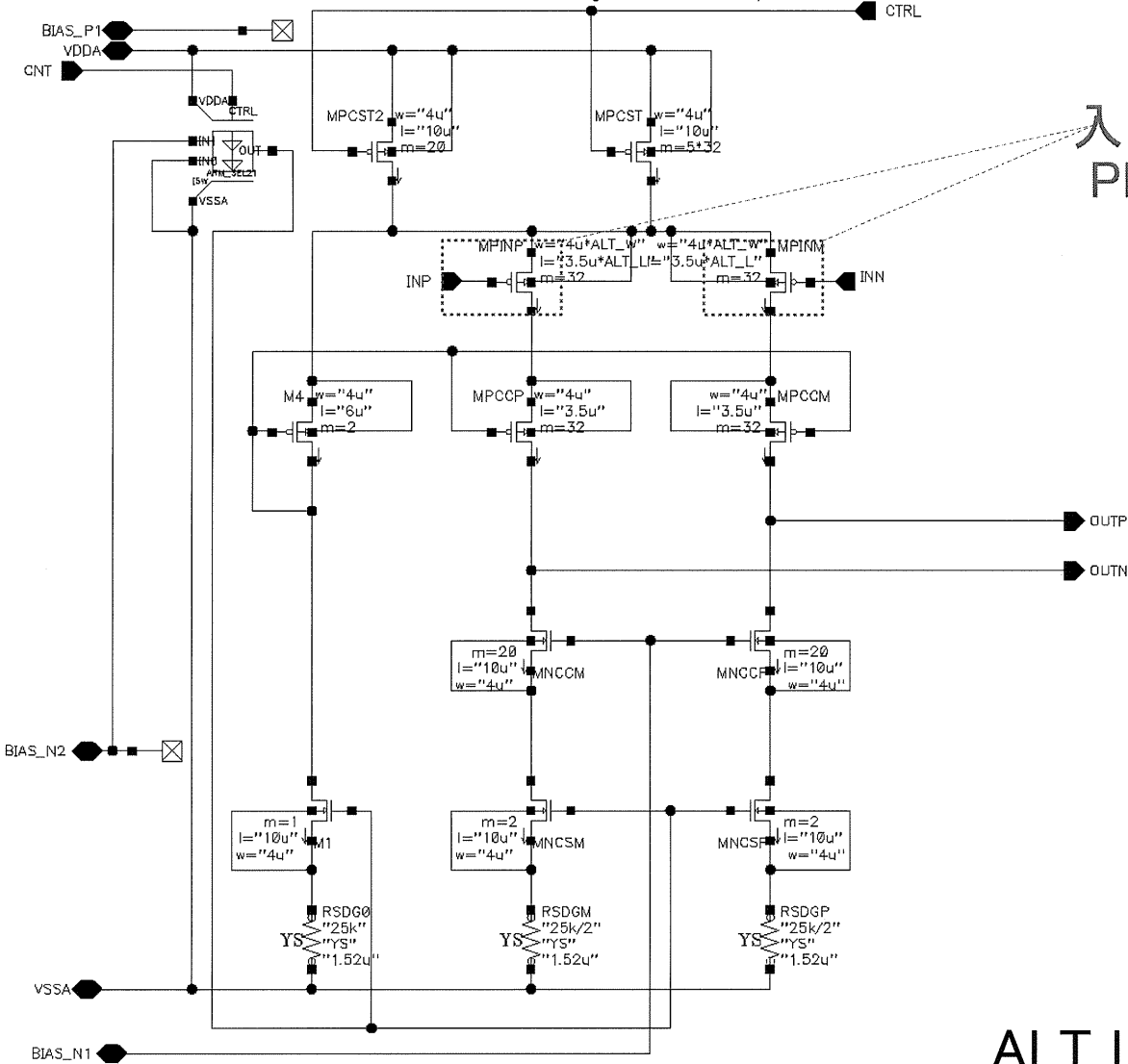
instancesLastChanged = Tue Sep 25 09:03:31 2012



- 130 -

回路図: OPAMP (テレスコピックカスコード型)

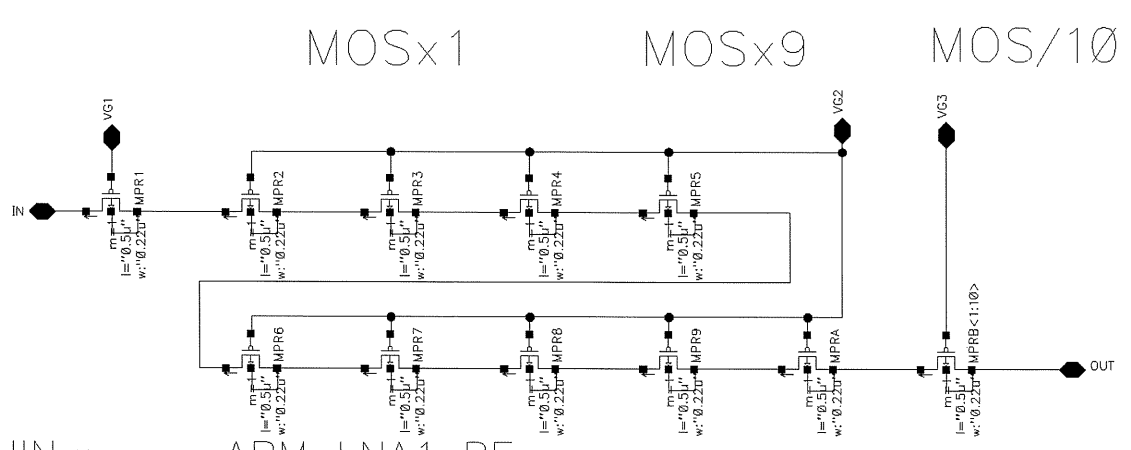
cellName = ARM_LNA1_OPA01
libName = R018BML_LNA2
instancesLastChanged = Tue Sep 25 12:06:58 2012



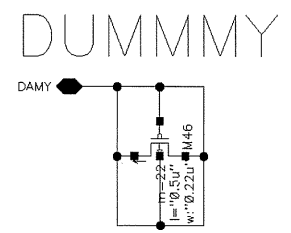
入力段
PMOS

ALT_L=2.8
ALT_R=2.8

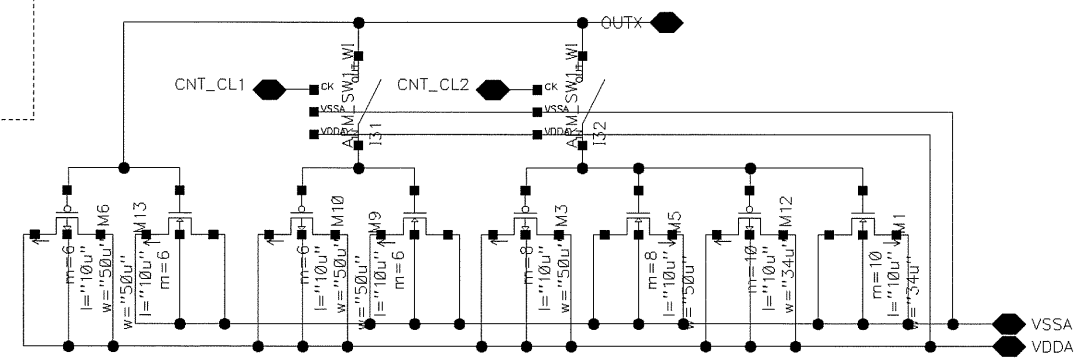
回路図: 帰還抵抗 / 帯域制限容量



cellName = ARM_LNA1_RF
libName = R018BML_LNA2
instancesLastChanged = Tue Sep 25 09:23:42 2012



cellName = ARM_LNA1_CBW0
libName = R018BML_LNA2
instancesLastChanged = Sat Sep 8 10:52:31 2012



MOSCAP = 30pF
MOSCAP = 30pF
MOSCAP 74pF add W=34 m=10
M=1->5pF(*pmos+nmos)
MAX->M=20

4. 脳波検出回路チップのBMI-EGG両用化の検討