

# TEG2.6 CalibreによるRC抽出後の配線容量詳細

NANOSIM(配線容量計算結果; print\_node\_cap no=ノード名, 出力ファイル\*.cap)

Node clk_lna11:	
Netlist Capacitance	: 1258.92fF
Gate Capacitance	: 579.97fF
Overlap Capacitance	: 205.49fF
Diffusion Capacitance	: 26.28fF
Wire (Interconnect) Capacitance:	0.00fF
Total Capacitance	: 2070.65fF

Buff2- Buff3  
Buff2-B

Node ck_sfr_buff:	
Netlist Capacitance	: 1643.32fF
Gate Capacitance	: 131.68fF
Overlap Capacitance	: 67.25fF
Diffusion Capacitance	: 65.69fF
Wire (Interconnect) Capacitance:	0.00fF
Total Capacitance	: 1907.93fF

Buff4-E  
Buff4-F

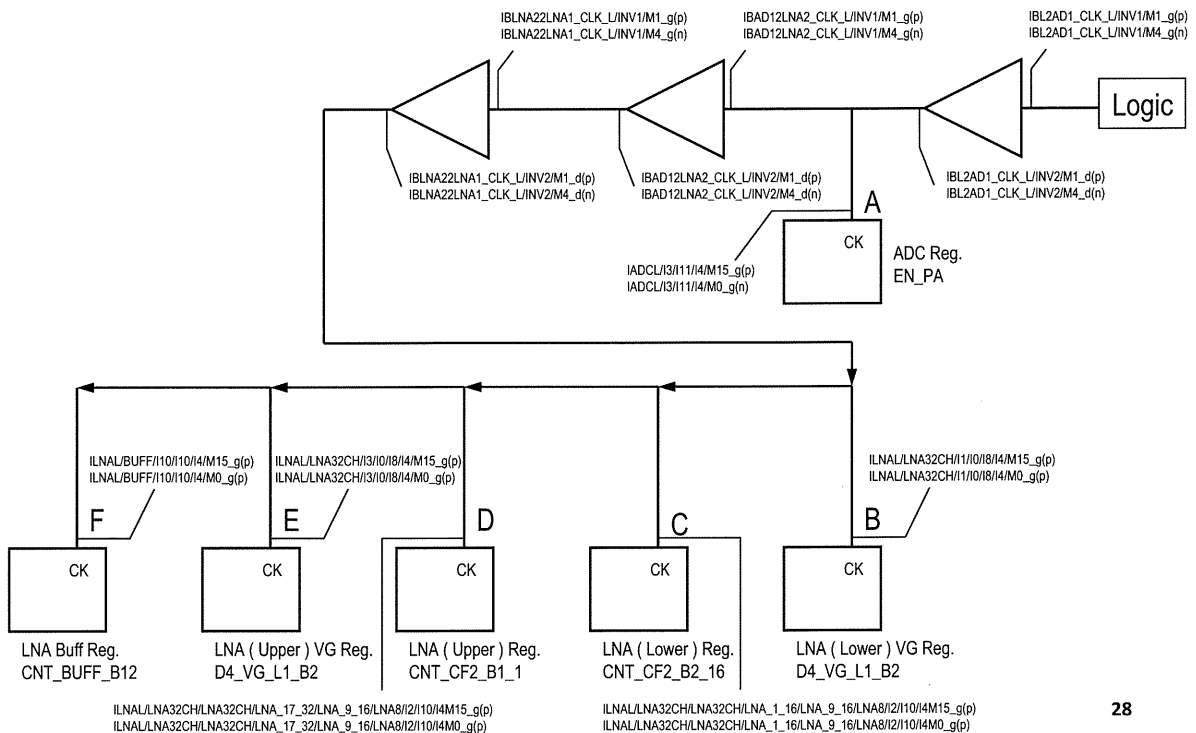
Node clk_ad1:	
Netlist Capacitance	: 248.95fF
Gate Capacitance	: 53.25fF
Overlap Capacitance	: 22.17fF
Diffusion Capacitance	: 13.14fF
Wire (Interconnect) Capacitance:	0.00fF
Total Capacitance	: 337.51fF

Buff1- Buff2

Node clk_sfr_lna_ch1_17:	
Netlist Capacitance	: 838.31fF
Gate Capacitance	: 530.59fF
Overlap Capacitance	: 184.22fF
Diffusion Capacitance	: 13.14fF
Wire (Interconnect) Capacitance:	0.00fF
Total Capacitance	: 1566.25fF

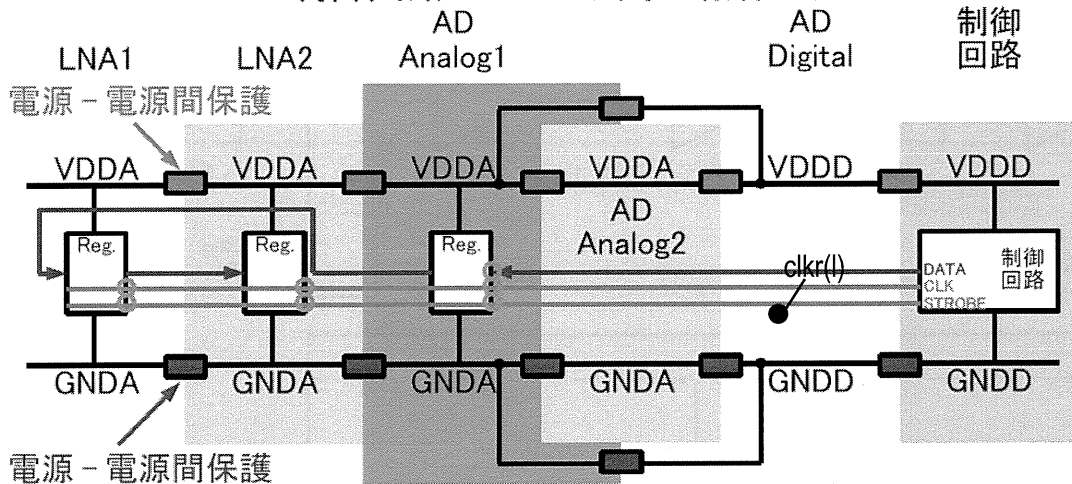
Buff3- Buff4

# TEG2.5 RCK配線に関するノード名





### BMI TEG2 の電源島の分割状況と 制御回路—レジスタ間の結線 (1)



- 制御回路と、AD Analog1 の間には電源—電源間保護が無いので AD Analog1 に属するレジスタ内の信号線 DATA/CLK/STROBE に接続されるゲートは保護されない。(※)
- 制御回路と、LNA1 及び LNA2 の間には電源—電源間保護が無いので LNA1/LNA2 に属するレジスタ内の信号線 CLK/STROBE に接続されるゲートは保護されない。(※)

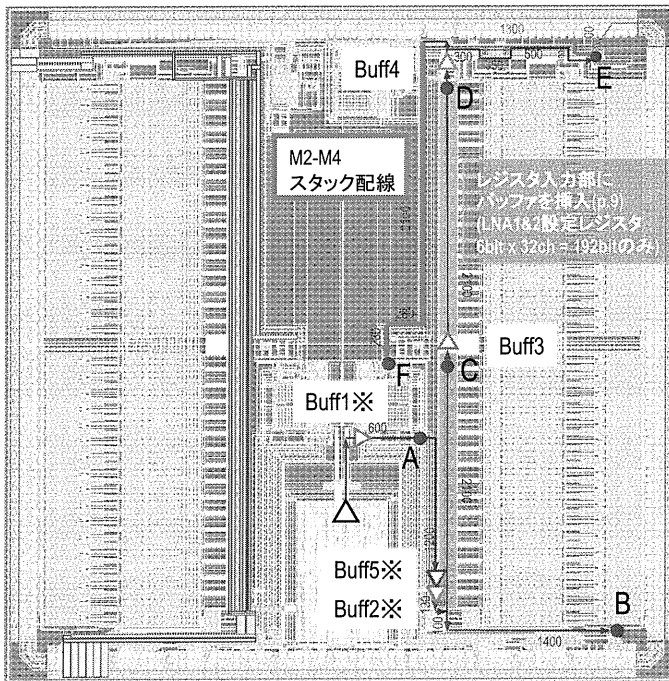
### TEG2.6 中継バッファと関係する配線の配置状況

LNA2&LNABuff

電源・グランド配線

レジスタクロック用

中継バッファ&配線



配線削除

▷ 1st	P:0.18/1.25/3 N:0.18/1.23/3
▷ 2nd	P:0.18/1.25/8 N:0.18/1.23/8

▷ 1st	P:0.2/1.6/1 N:0.2/0.8/1
▷ 2nd	P:0.2/1.6/1 N:0.2/0.8/1

▷ 1st	P:0.2/1.6/1 N:0.2/0.8/1
▷ 2nd	P:0.2/1.6/10 N:0.2/0.8/10

▷ 1st	P:0.2/1.6/1 N:0.2/0.8/1
▷ 2nd	P:0.2/1.6/20 N:0.2/0.8/20

▷ 1st	P:0.2/1.6/5 N:0.2/0.8/5
▷ 2nd	P:0.2/1.6/50 N:0.2/0.8/50

※Buff1,Buff5,Buff2は電源間保護対策機能も兼用

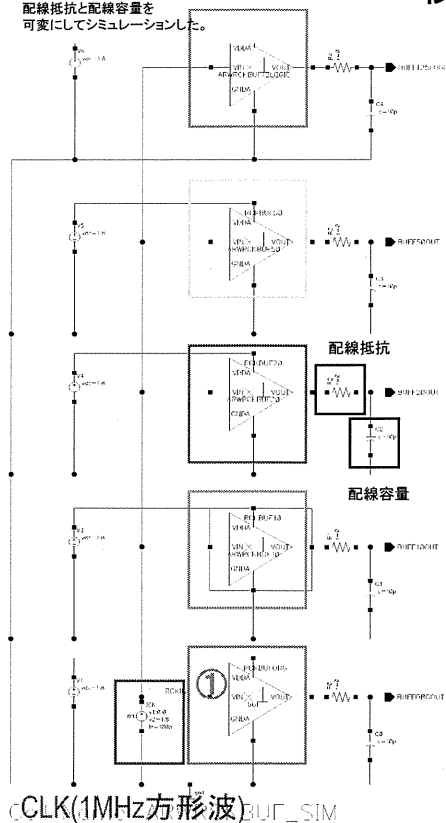
バッファのサイズについては、まず、簡易配線モデルを作成してシミュレーションを行って決定し(補足p.21-24参照)、RC抽出後のネットリストによって問題ないことを確認した(p.7)。

VDDA\_LNA2 VDDA(VSSA)\_LNA2配線のC地点から全てのPADまでの合成抵抗は約7Ω程度

長さ単位:um

## TEG2.6 Buff2サイズ変更による立ち上がり時間 検証用テストベンチ

バッファの負荷となる  
配線抵抗と配線容量を  
可変にしてシミュレーションした。



TEG2.0制御回路出力バッファで使用して  
いるインバータを2段目に使用(TEG2.0LOGIC)。  
PMOS: L/W/M=0.18/1.26/8  
NMOS: L/W/M=0.18/1.23/8

①の2段目のインバータのPMOS,NMOSのWを50倍(X50)  
PMOS: L/W/M=0.2/1.6/50  
NMOS: L/W/M=0.2/0.8/50

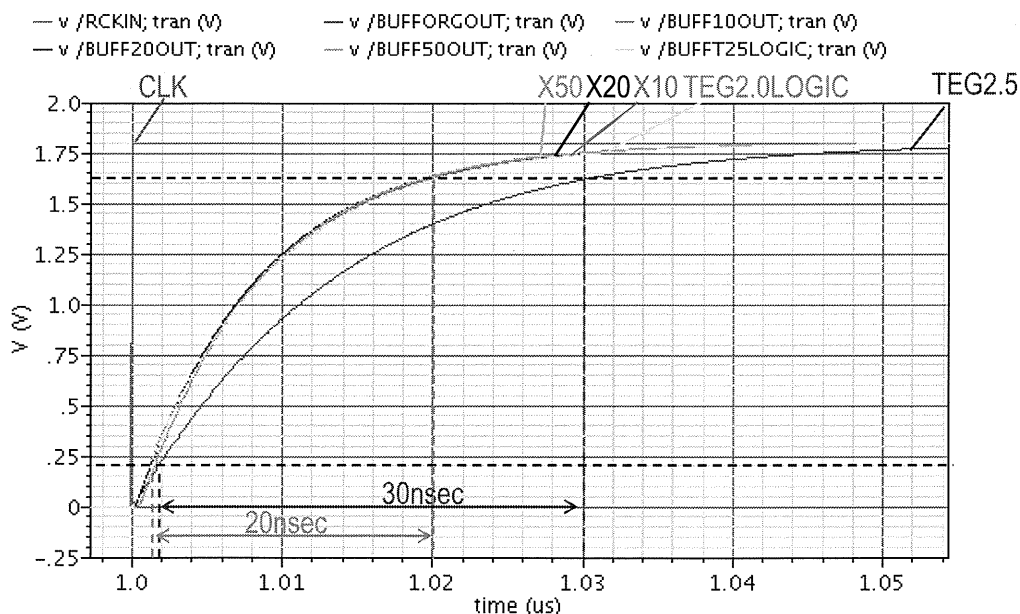
①の2段目のインバータのPMOS,NMOSのWを20倍(X20)  
PMOS: L/W/M=0.2/1.6/20  
NMOS: L/W/M=0.2/0.8/20

①の2段目のインバータのPMOS,NMOSのWを10倍(X10)  
PMOS: L/W/M=0.2/1.6/10  
NMOS: L/W/M=0.2/0.8/10

TEG2.5で使用しているバッファ(TEG2.5)  
1段目&2段目インバータのデバイスサイズ:  
PMOS: L/W/M=0.2/1.6/1  
NMOS: L/W/M=0.2/0.8/1

33

## TEG2.6 Buff2サイズ変更による立ち上がり時間検証 シミュレーション結果(配線抵抗=4kΩ 負荷容量=2pF)



バッファサイズを10倍以上(X10, X20, X50)にしても立ち上がり時間は変化なし。  
→ 立ち上がり時間は配線抵抗と配線容量で決まっている(配線ネック)。

34

### 3. 高信頼化脳波検出回路チップ実装基板の 特性評価 報告書

# 高信頼化脳波検出回路チップ実装基板の特性評価 報告書(BMITEG2.6搭載基板)

1

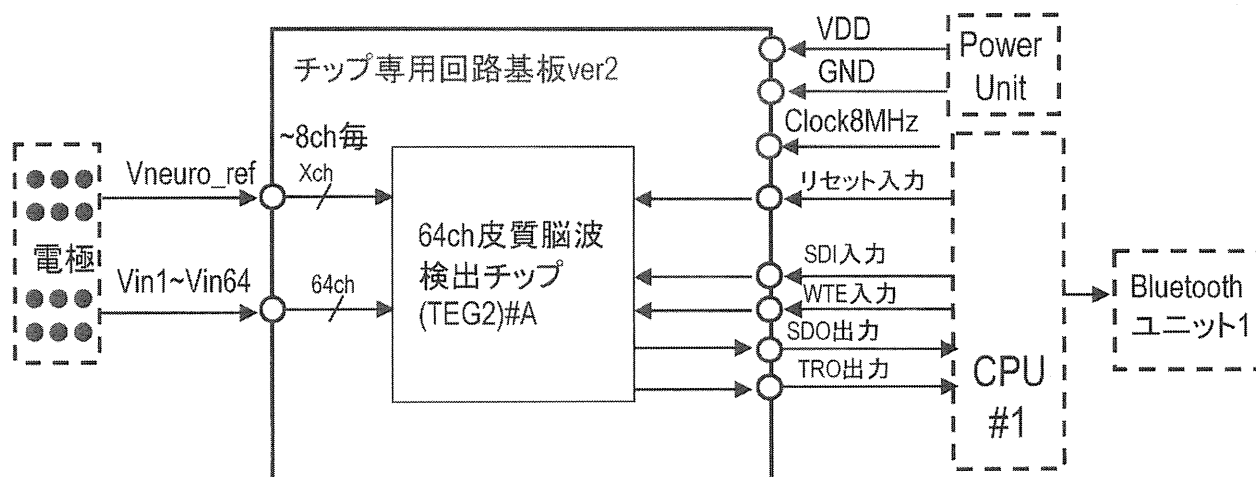
---

## 高信頼化脳波検出回路チップ実装基板 (TEG2.6搭載)の仕様

搭載チップ: アンプ集積回路(TEG2.6): 1チップ  
レギュレータ 2チップ  
検出対象: 皮質脳波(EcoG)信号  
アナログ入力端子数 64CH  
基準電圧入力数: 8CH  
(アナログ入力端子8CH毎に1CH)  
電源電圧: 3.3V  
消費電力: 15mW  
基板サイズ: 28.5mm x 19.4mm x 3.0mm

2

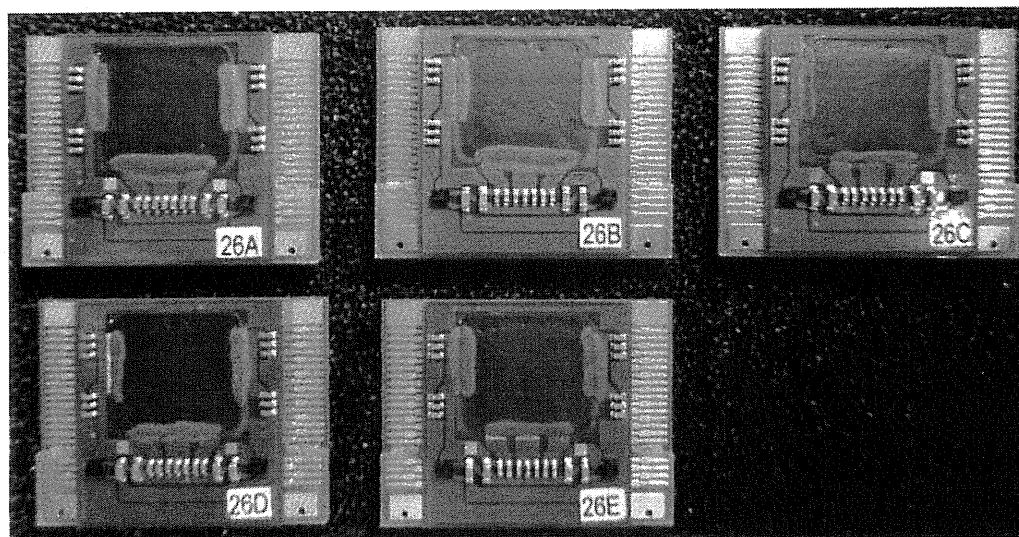
## 頭部ケーシング内チップの機能ブロック図



3

## 高信頼化脳波検出回路チップ実装基板 (TEG2.6搭載) の写真

5基板分



基板名称の意味: "TEGバージョン" + 基板識別番号(アルファベット)

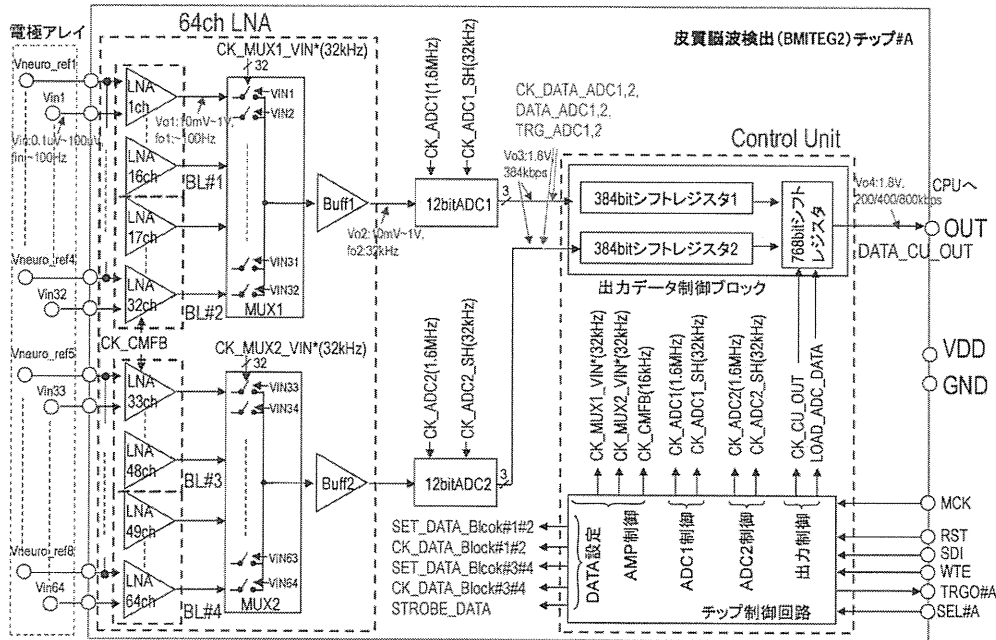
4

# TEG2.6チップ仕様

項目	値			単位	備考
	Min	Typ	Max		
入力チャンネル数	64			ch	
入力信号振幅	1	100		uV	
入力信号周波数	0.1	1000		Hz	
帯域内雑音	3.2			uV	
AD変換器分解能	12			bit	
サンプリング周波数	1k			Sps/ch	1ch当たりのサンプリング周波数
デジタル信号入出力 電圧振幅	1.8			V	200/400/800kbps設定可能
入力Ck(マスタクロック)周波数	8M			Hz	
入力データ(SDI)レート	1M			bps	
出力データレート	200k	800k		bps	
電源電圧	1.8			V	
消費電力	10			mW	
環境温度	31	41		°C	

5

## チップの詳細ブロック図

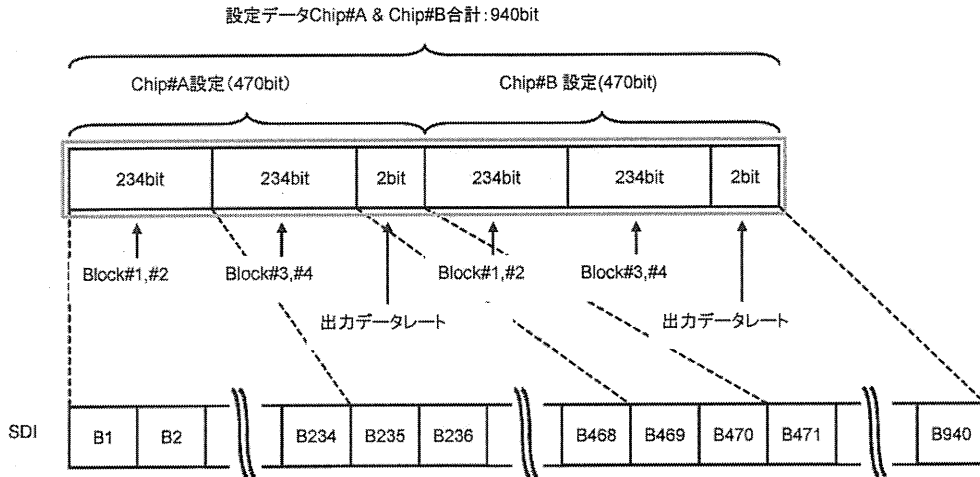


Serial Data Input (SDI): LNA, ADC, 出力レートの設定  
Selector #A/#B (SEL#A/#B): 動作モード#A or #B選択 (実装基板上で設定)

6

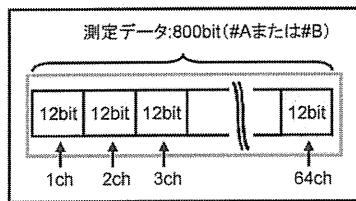


# SDIフォーマット

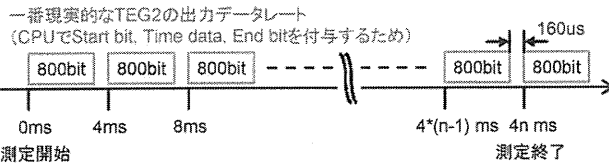


7

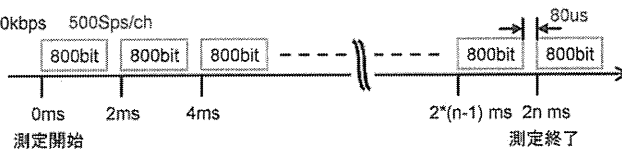
# 出力データフォーマット



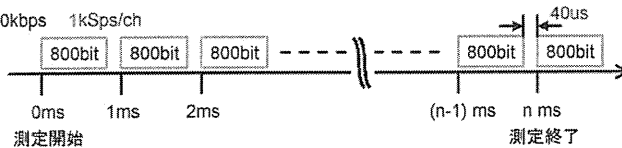
200kbps 250Sps/ch



400kbps 500Sps/ch

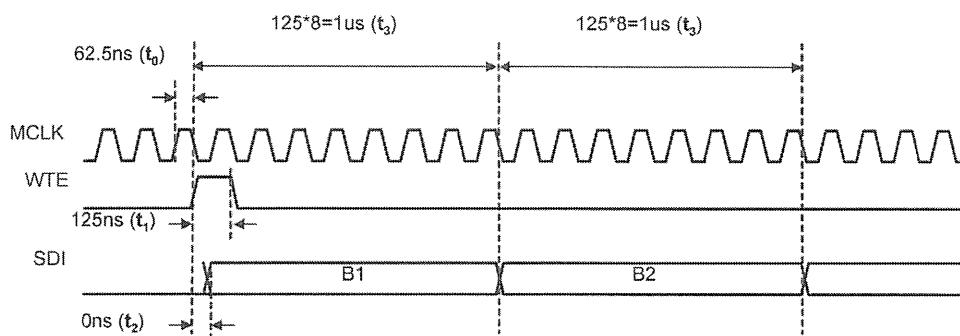


800kbps 1kSps/ch



8

## 制御回路の入力信号タイミング図



	MIN	TYP	MAX	unit	注意事項
t0	42.5	62.5	82.5	[ns]	MCLKにてWTEをとらえるため、MCLKの立ち上がり半周期前にて立ち上げが理想。
t1	125	125	-	[ns]	MCLKの1周期分のみ必要。その後はLowでもHighでも可
t2	-250	0	250	[ns]	SDIはWTEと同タイミングで立ち上げが理想。MCLKの2周期分までは許容可
t3	980	1000	1020	[ns]	周期は1MSPS

9

## 制御回路の出力信号タイミング図

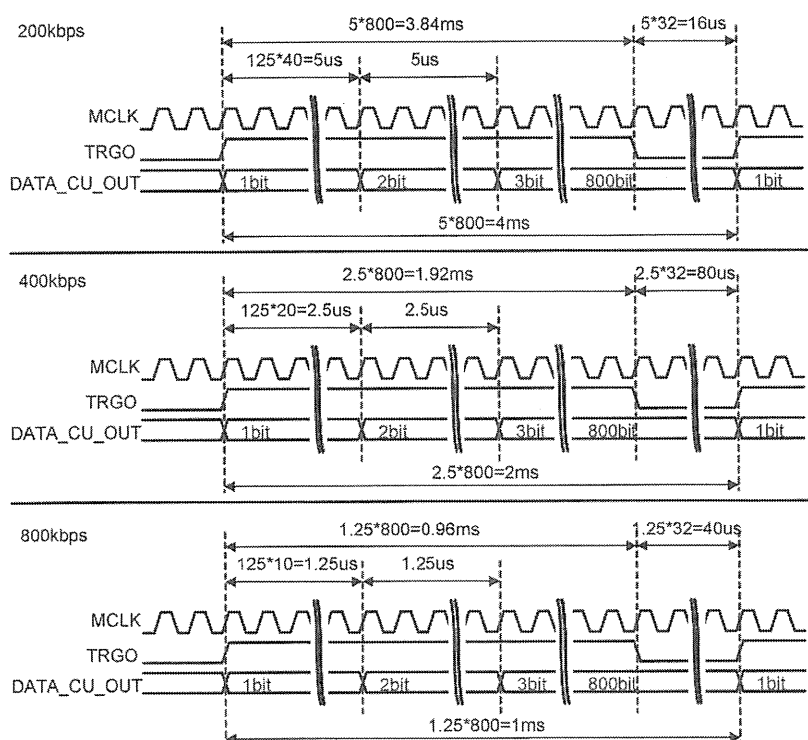
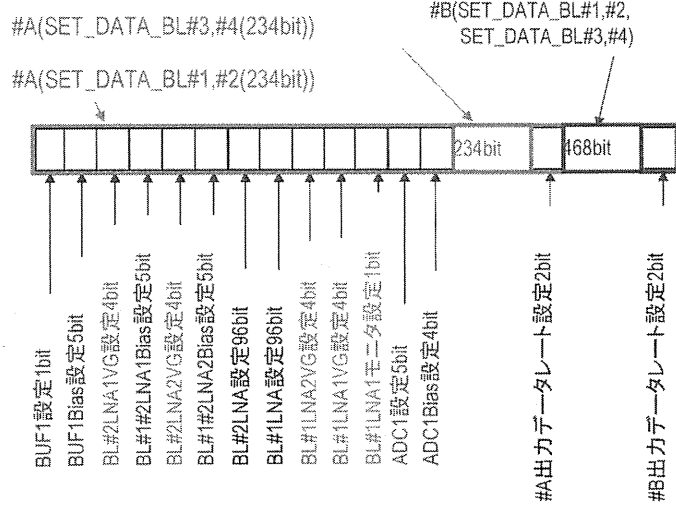


図 5.8 制御回路の出力信号タイミングチャート

10

# SDI設定データ

SDI信号:トータル940bit(470bit(ChipA)+470bit(ChipB))



## 制御回路 (Logic) 出力

- ・制御回路はSEL#A/#Bによって#A,#B動作状態を判別しどちらかのDataを出力
- ・設定用レジスタはすべてSeriesに接続
- ・制御回路はData, Ck, STROBE(データロード信号)を出力

# SDI情報1-234bit

レジスタ	名称	データ幅	初期値	レジスタ	名称	データ幅	初期値
01	SDI_CFG1	16bit	0x00000000	121	SDI_CFG1	16bit	0x00000000
02	SDI_CFG2	16bit	0x00000000	122	SDI_CFG2	16bit	0x00000000
03	SDI_CFG3	16bit	0x00000000	123	SDI_CFG3	16bit	0x00000000
04	SDI_CFG4	16bit	0x00000000	124	SDI_CFG4	16bit	0x00000000
05	SDI_CFG5	16bit	0x00000000	125	SDI_CFG5	16bit	0x00000000
06	SDI_CFG6	16bit	0x00000000	126	SDI_CFG6	16bit	0x00000000
07	SDI_CFG7	16bit	0x00000000	127	SDI_CFG7	16bit	0x00000000
08	SDI_CFG8	16bit	0x00000000	128	SDI_CFG8	16bit	0x00000000
09	SDI_CFG9	16bit	0x00000000	129	SDI_CFG9	16bit	0x00000000
10	SDI_CFG10	16bit	0x00000000	130	SDI_CFG10	16bit	0x00000000
11	SDI_CFG11	16bit	0x00000000	131	SDI_CFG11	16bit	0x00000000
12	SDI_CFG12	16bit	0x00000000	132	SDI_CFG12	16bit	0x00000000
13	SDI_CFG13	16bit	0x00000000	133	SDI_CFG13	16bit	0x00000000
14	SDI_CFG14	16bit	0x00000000	134	SDI_CFG14	16bit	0x00000000
15	SDI_CFG15	16bit	0x00000000	135	SDI_CFG15	16bit	0x00000000
16	SDI_CFG16	16bit	0x00000000	136	SDI_CFG16	16bit	0x00000000
17	SDI_CFG17	16bit	0x00000000	137	SDI_CFG17	16bit	0x00000000
18	SDI_CFG18	16bit	0x00000000	138	SDI_CFG18	16bit	0x00000000
19	SDI_CFG19	16bit	0x00000000	139	SDI_CFG19	16bit	0x00000000
20	SDI_CFG20	16bit	0x00000000	140	SDI_CFG20	16bit	0x00000000
21	SDI_CFG21	16bit	0x00000000	141	SDI_CFG21	16bit	0x00000000
22	SDI_CFG22	16bit	0x00000000	142	SDI_CFG22	16bit	0x00000000
23	SDI_CFG23	16bit	0x00000000	143	SDI_CFG23	16bit	0x00000000
24	SDI_CFG24	16bit	0x00000000	144	SDI_CFG24	16bit	0x00000000
25	SDI_CFG25	16bit	0x00000000	145	SDI_CFG25	16bit	0x00000000
26	SDI_CFG26	16bit	0x00000000	146	SDI_CFG26	16bit	0x00000000
27	SDI_CFG27	16bit	0x00000000	147	SDI_CFG27	16bit	0x00000000
28	SDI_CFG28	16bit	0x00000000	148	SDI_CFG28	16bit	0x00000000
29	SDI_CFG29	16bit	0x00000000	149	SDI_CFG29	16bit	0x00000000
30	SDI_CFG30	16bit	0x00000000	150	SDI_CFG30	16bit	0x00000000
31	SDI_CFG31	16bit	0x00000000	151	SDI_CFG31	16bit	0x00000000
32	SDI_CFG32	16bit	0x00000000	152	SDI_CFG32	16bit	0x00000000
33	SDI_CFG33	16bit	0x00000000	153	SDI_CFG33	16bit	0x00000000
34	SDI_CFG34	16bit	0x00000000	154	SDI_CFG34	16bit	0x00000000
35	SDI_CFG35	16bit	0x00000000	155	SDI_CFG35	16bit	0x00000000
36	SDI_CFG36	16bit	0x00000000	156	SDI_CFG36	16bit	0x00000000
37	SDI_CFG37	16bit	0x00000000	157	SDI_CFG37	16bit	0x00000000
38	SDI_CFG38	16bit	0x00000000	158	SDI_CFG38	16bit	0x00000000
39	SDI_CFG39	16bit	0x00000000	159	SDI_CFG39	16bit	0x00000000
40	SDI_CFG40	16bit	0x00000000	160	SDI_CFG40	16bit	0x00000000
41	SDI_CFG41	16bit	0x00000000	161	SDI_CFG41	16bit	0x00000000
42	SDI_CFG42	16bit	0x00000000	162	SDI_CFG42	16bit	0x00000000
43	SDI_CFG43	16bit	0x00000000	163	SDI_CFG43	16bit	0x00000000
44	SDI_CFG44	16bit	0x00000000	164	SDI_CFG44	16bit	0x00000000
45	SDI_CFG45	16bit	0x00000000	165	SDI_CFG45	16bit	0x00000000
46	SDI_CFG46	16bit	0x00000000	166	SDI_CFG46	16bit	0x00000000
47	SDI_CFG47	16bit	0x00000000	167	SDI_CFG47	16bit	0x00000000
48	SDI_CFG48	16bit	0x00000000	168	SDI_CFG48	16bit	0x00000000
49	SDI_CFG49	16bit	0x00000000	169	SDI_CFG49	16bit	0x00000000
50	SDI_CFG50	16bit	0x00000000	170	SDI_CFG50	16bit	0x00000000
51	SDI_CFG51	16bit	0x00000000	171	SDI_CFG51	16bit	0x00000000
52	SDI_CFG52	16bit	0x00000000	172	SDI_CFG52	16bit	0x00000000
53	SDI_CFG53	16bit	0x00000000	173	SDI_CFG53	16bit	0x00000000
54	SDI_CFG54	16bit	0x00000000	174	SDI_CFG54	16bit	0x00000000
55	SDI_CFG55	16bit	0x00000000	175	SDI_CFG55	16bit	0x00000000
56	SDI_CFG56	16bit	0x00000000	176	SDI_CFG56	16bit	0x00000000
57	SDI_CFG57	16bit	0x00000000	177	SDI_CFG57	16bit	0x00000000
58	SDI_CFG58	16bit	0x00000000	178	SDI_CFG58	16bit	0x00000000
59	SDI_CFG59	16bit	0x00000000	179	SDI_CFG59	16bit	0x00000000
60	SDI_CFG60	16bit	0x00000000	180	SDI_CFG60	16bit	0x00000000
61	SDI_CFG61	16bit	0x00000000	181	SDI_CFG61	16bit	0x00000000
62	SDI_CFG62	16bit	0x00000000	182	SDI_CFG62	16bit	0x00000000
63	SDI_CFG63	16bit	0x00000000	183	SDI_CFG63	16bit	0x00000000
64	SDI_CFG64	16bit	0x00000000	184	SDI_CFG64	16bit	0x00000000
65	SDI_CFG65	16bit	0x00000000	185	SDI_CFG65	16bit	0x00000000
66	SDI_CFG66	16bit	0x00000000	186	SDI_CFG66	16bit	0x00000000
67	SDI_CFG67	16bit	0x00000000	187	SDI_CFG67	16bit	0x00000000
68	SDI_CFG68	16bit	0x00000000	188	SDI_CFG68	16bit	0x00000000
69	SDI_CFG69	16bit	0x00000000	189	SDI_CFG69	16bit	0x00000000
70	SDI_CFG70	16bit	0x00000000	190	SDI_CFG70	16bit	0x00000000
71	SDI_CFG71	16bit	0x00000000	191	SDI_CFG71	16bit	0x00000000
72	SDI_CFG72	16bit	0x00000000	192	SDI_CFG72	16bit	0x00000000
73	SDI_CFG73	16bit	0x00000000	193	SDI_CFG73	16bit	0x00000000
74	SDI_CFG74	16bit	0x00000000	194	SDI_CFG74	16bit	0x00000000
75	SDI_CFG75	16bit	0x00000000	195	SDI_CFG75	16bit	0x00000000
76	SDI_CFG76	16bit	0x00000000	196	SDI_CFG76	16bit	0x00000000
77	SDI_CFG77	16bit	0x00000000	197	SDI_CFG77	16bit	0x00000000
78	SDI_CFG78	16bit	0x00000000	198	SDI_CFG78	16bit	0x00000000
79	SDI_CFG79	16bit	0x00000000	199	SDI_CFG79	16bit	0x00000000
80	SDI_CFG80	16bit	0x00000000	200	SDI_CFG80	16bit	0x00000000
81	SDI_CFG81	16bit	0x00000000	201	SDI_CFG81	16bit	0x00000000
82	SDI_CFG82	16bit	0x00000000	202	SDI_CFG82	16bit	0x00000000
83	SDI_CFG83	16bit	0x00000000	203	SDI_CFG83	16bit	0x00000000
84	SDI_CFG84	16bit	0x00000000	204	SDI_CFG84	16bit	0x00000000
85	SDI_CFG85	16bit	0x00000000	205	SDI_CFG85	16bit	0x00000000
86	SDI_CFG86	16bit	0x00000000	206	SDI_CFG86	16bit	0x00000000
87	SDI_CFG87	16bit	0x00000000	207	SDI_CFG87	16bit	0x00000000
88	SDI_CFG88	16bit	0x00000000	208	SDI_CFG88	16bit	0x00000000
89	SDI_CFG89	16bit	0x00000000	209	SDI_CFG89	16bit	0x00000000
90	SDI_CFG90	16bit	0x00000000	210	SDI_CFG90	16bit	0x00000000
91	SDI_CFG91	16bit	0x00000000	211	SDI_CFG91	16bit	0x00000000
92	SDI_CFG92	16bit	0x00000000	212	SDI_CFG92	16bit	0x00000000
93	SDI_CFG93	16bit	0x00000000	213	SDI_CFG93	16bit	0x00000000
94	SDI_CFG94	16bit	0x00000000	214	SDI_CFG94	16bit	0x00000000
95	SDI_CFG95	16bit	0x00000000	215	SDI_CFG95	16bit	0x00000000
96	SDI_CFG96	16bit	0x00000000	216	SDI_CFG96	16bit	0x00000000
97	SDI_CFG97	16bit	0x00000000	217	SDI_CFG97	16bit	0x00000000
98	SDI_CFG98	16bit	0x00000000	218	SDI_CFG98	16bit	0x00000000
99	SDI_CFG99	16bit	0x00000000	219	SDI_CFG99	16bit	0x00000000
100	SDI_CFG100	16bit	0x00000000	220	SDI_CFG100	16bit	0x00000000
101	SDI_CFG101	16bit	0x00000000	221	SDI_CFG101	16bit	0x00000000
102	SDI_CFG102	16bit	0x00000000	222	SDI_CFG102	16bit	0x00000000
103	SDI_CFG103	16bit	0x00000000	223	SDI_CFG103	16bit	0x00000000
104	SDI_CFG104	16bit	0x00000000	224	SDI_CFG104	16bit	0x00000000
105	SDI_CFG105	16bit	0x00000000	225	SDI_CFG105	16bit	0x00000000
106	SDI_CFG106	16bit	0x00000000	226	SDI_CFG106	16bit	0x00000000
107	SDI_CFG107	16bit	0x00000000	227	SDI_CFG107	16bit	0x00000000
108	SDI_CFG108	16bit	0x00000000	228	SDI_CFG108	16bit	0x00000000
109	SDI_CFG109	16bit	0x00000000	229	SDI_CFG109	16bit	0x00000000
110	SDI_CFG110	16bit	0x00000000	230	SDI_CFG110	16bit	0x00000000
111	SDI_CFG111	16bit	0x00000000	231	SDI_CFG111	16bit	0x00000000
112	SDI_CFG112	16bit	0x00000000	232	SDI_CFG112	16bit	0x00000000
113	SDI_CFG113	16bit	0x00000000	233	SDI_CFG113	16bit	0x00000000
114	SDI_CFG114	16bit	0x00000000	234	SDI_CFG114	16bit	0x00000000
115	SDI_CFG115	16bit	0x00000000	235	SDI_CFG115	16bit	0x00000000
116	SDI_CFG116	16bit	0x00000000	236	SDI_CFG116	16bit	0x00000000
117	SDI_CFG117	16bit	0x00000000	237	SDI_CFG117	16bit	0x00000000
118	SDI_CFG118	16bit	0x00000000	238	SDI_CFG118	16bit	0x00000000
119	SDI_CFG119	16bit	0x00000000	239	SDI_CFG119	16bit	0x00000000
120	SDI_CFG120	16bit	0x00000000	240	SDI_CFG120	16bit	0x00000000
121	SDI_CFG121	16bit	0x00000000	241	SDI_CFG121	16bit	0x00000000
122	SDI_CFG122	16bit	0x00000000	242	SDI_CFG122	16bit	0x00000000
123	SDI_CFG123	16bit	0x00000000	243	SDI_CFG123	16bit	0x00000000
124	SDI_CFG124	16bit	0x00000000	244	SDI_CFG124	16bit	0x00000000
125	SDI_CFG125	16bit	0x00000000	245	SDI_CFG125	16bit	0x00000000
126	SDI_CFG126	16bit	0x00000000	246	SDI_CFG126	16bit	0x00000000
127	SDI_CFG127	16bit	0x00000000	247	SDI_CFG127	16bit	0x00000000
128	SDI_CFG128	16bit	0x00000000	248	SDI_CFG128	16bit	0x00000000
129	SDI_CFG129	16bit	0x00000000	249	SDI_CFG129	16bit	0x00000000
130	SDI_CFG130	16bit	0x00000000	250	SDI_CFG130	16bit	0x00000000
131	SDI_CFG131	16bit	0x00000000	251	SDI_CFG131	16bit	0x00000000
132	SDI_CFG132	16bit	0x00000000	252	SDI_CFG132	16bit	0x00000000
133	SD						

# SDI情報235-470bit

FDI/A 名称	Form	種別	FDI/A 名称	Form	種別	FDI/A 名称	Form	種別	FDI/A 名称	Form	種別
235	0		236	0		237	0		238	0	
239	0		240	0		241	0		242	0	
243	0		244	0		245	0		246	0	
247	0		248	0		249	0		250	0	
251	0		252	0		253	0		254	0	
255	0		256	0		257	0		258	0	
261	0		262	0		263	0		264	0	
266	0		267	0		268	0		269	0	
271	0		272	0		273	0		274	0	
276	0		277	0		278	0		279	0	
281	0		282	0		283	0		284	0	
286	0		287	0		288	0		289	0	
291	0		292	0		293	0		294	0	
296	0		297	0		298	0		299	0	
301	0		302	0		303	0		304	0	
306	0		307	0		308	0		309	0	
311	0		312	0		313	0		314	0	
316	0		317	0		318	0		319	0	
321	0		322	0		323	0		324	0	
326	0		327	0		328	0		329	0	
331	0		332	0		333	0		334	0	
336	0		337	0		338	0		339	0	
341	0		342	0		343	0		344	0	
346	0		347	0		348	0		349	0	
351	0		352	0		353	0		354	0	
356	0		357	0		358	0		359	0	
361	0		362	0		363	0		364	0	
366	0		367	0		368	0		369	0	
371	0		372	0		373	0		374	0	
376	0		377	0		378	0		379	0	
381	0		382	0		383	0		384	0	
386	0		387	0		388	0		389	0	
391	0		392	0		393	0		394	0	
396	0		397	0		398	0		399	0	
401	0		402	0		403	0		404	0	
406	0		407	0		408	0		409	0	
411	0		412	0		413	0		414	0	
416	0		417	0		418	0		419	0	
421	0		422	0		423	0		424	0	
426	0		427	0		428	0		429	0	
431	0		432	0		433	0		434	0	
436	0		437	0		438	0		439	0	
441	0		442	0		443	0		444	0	
446	0		447	0		448	0		449	0	
451	0		452	0		453	0		454	0	
456	0		457	0		458	0		459	0	
461	0		462	0		463	0		464	0	
466	0		467	0		468	0		469	0	
470	0		471	0		472	0		473	0	

13

# SDI情報471-704bit

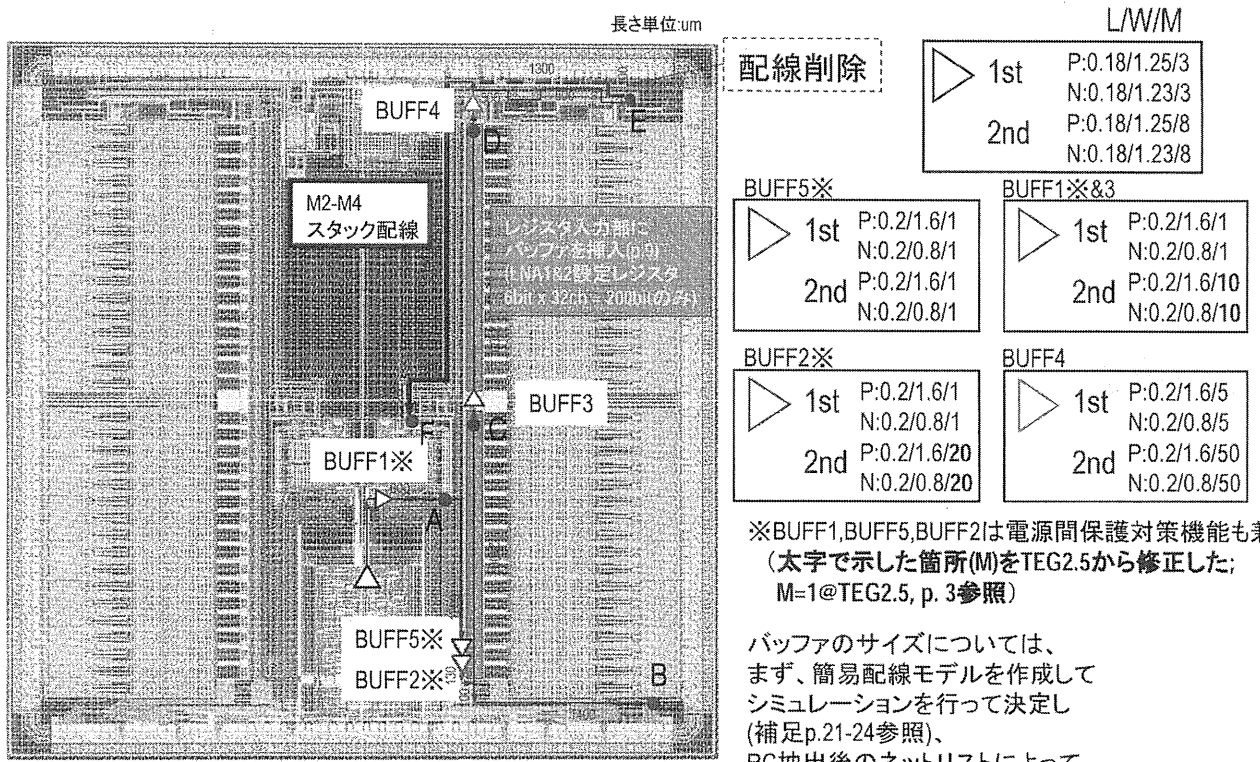
FDI/A 名称	Form	種別	FDI/A 名称	Form	種別	FDI/A 名称	Form	種別	FDI/A 名称	Form	種別
474	0		475	0		476	0		477	0	
478	0		479	0		480	0		481	0	
483	0		484	0		485	0		486	0	
488	0		489	0		490	0		491	0	
493	0		494	0		495	0		496	0	
498	0		499	0		500	0		501	0	
503	0		504	0		505	0		506	0	
508	0		509	0		510	0		511	0	
513	0		514	0		515	0		516	0	
518	0		519	0		520	0		521	0	
523	0		524	0		525	0		526	0	
528	0		529	0		530	0		531	0	
533	0		534	0		535	0		536	0	
538	0		539	0		540	0		541	0	
543	0		544	0		545	0		546	0	
548	0		549	0		550	0		551	0	
553	0		554	0		555	0		556	0	
558	0		559	0		560	0		561	0	
563	0		564	0		565	0		566	0	
568	0		569	0		570	0		571	0	
573	0		574	0		575	0		576	0	
578	0		579	0		580	0		581	0	
583	0		584	0		585	0		586	0	
588	0		589	0		590	0		591	0	
593	0		594	0		595	0		596	0	
598	0		599	0		600	0		601	0	
603	0		604	0		605	0		606	0	
608	0		609	0		610	0		611	0	
613	0		614	0		615	0		616	0	
618	0		619	0		620	0		621	0	
623	0		624	0		625	0		626	0	
628	0		629	0		630	0		631	0	
633	0		634	0		635	0		636	0	
638	0		639	0		640	0		641	0	
643	0		644	0		645	0		646	0	
648	0		649	0		650	0		651	0	
653	0		654	0		655	0		656	0	
658	0		659	0		660	0		661	0	
663	0		664	0		665	0		666	0	
668	0		669	0		670	0		671	0	
673	0		674	0		675	0		676	0	
678	0		679	0		680	0		681	0	
683	0		684	0		685	0		686	0	
688	0		689	0		690	0		691	0	
693	0		694	0		695	0		696	0	
698	0		699	0		700	0		701	0	
702	0		703	0		704	0				

14

# SDI情報705-940bit

レジスタ番号	名前	デフォルト値	初期値	レジスタ番号	名前	デフォルト値	初期値
929	SDI_0705_001	1	1	930	SDI_0705_002	0	0
931	SDI_0705_003	0	0	932	SDI_0705_004	0	0
933	SDI_0705_005	0	0	934	SDI_0705_006	0	0
935	SDI_0705_007	0	0	936	SDI_0705_008	0	0
937	SDI_0705_009	0	0	938	SDI_0705_010	0	0
939	SDI_0705_011	0	0	940	SDI_0705_012	0	0
941	SDI_0705_013	0	0	942	SDI_0705_014	0	0
943	SDI_0705_015	0	0	944	SDI_0705_016	0	0
945	SDI_0705_018	0	0	946	SDI_0705_019	0	0
947	SDI_0705_021	0	0	948	SDI_0705_022	0	0
949	SDI_0705_024	0	0	950	SDI_0705_025	0	0
951	SDI_0705_027	0	0	952	SDI_0705_028	0	0
953	SDI_0705_031	0	0	954	SDI_0705_032	0	0
955	SDI_0705_035	0	0	956	SDI_0705_036	0	0
957	SDI_0705_039	0	0	958	SDI_0705_040	0	0
959	SDI_0705_043	0	0	960	SDI_0705_044	0	0
961	SDI_0705_047	0	0	962	SDI_0705_048	0	0
963	SDI_0705_051	0	0	964	SDI_0705_052	0	0
965	SDI_0705_055	0	0	966	SDI_0705_056	0	0
967	SDI_0705_059	0	0	968	SDI_0705_060	0	0
969	SDI_0705_063	0	0	970	SDI_0705_064	0	0
971	SDI_0705_067	0	0	972	SDI_0705_068	0	0
973	SDI_0705_071	0	0	974	SDI_0705_072	0	0
975	SDI_0705_075	0	0	976	SDI_0705_076	0	0
977	SDI_0705_079	0	0	978	SDI_0705_080	0	0
979	SDI_0705_083	0	0	980	SDI_0705_084	0	0
981	SDI_0705_087	0	0	982	SDI_0705_088	0	0
983	SDI_0705_091	0	0	984	SDI_0705_092	0	0
985	SDI_0705_095	0	0	986	SDI_0705_096	0	0
987	SDI_0705_099	0	0	988	SDI_0705_100	0	0
989	SDI_0705_103	0	0	990	SDI_0705_104	0	0
991	SDI_0705_107	0	0	992	SDI_0705_108	0	0
993	SDI_0705_111	0	0	994	SDI_0705_112	0	0
995	SDI_0705_115	0	0	996	SDI_0705_116	0	0
997	SDI_0705_119	0	0	998	SDI_0705_120	0	0
999	SDI_0705_123	0	0	1000	SDI_0705_124	0	0
1001	SDI_0705_127	0	0	1002	SDI_0705_128	0	0
1003	SDI_0705_131	0	0	1004	SDI_0705_132	0	0
1005	SDI_0705_135	0	0	1006	SDI_0705_136	0	0
1007	SDI_0705_139	0	0	1008	SDI_0705_140	0	0
1009	SDI_0705_143	0	0	1010	SDI_0705_144	0	0
1011	SDI_0705_147	0	0	1012	SDI_0705_148	0	0
1013	SDI_0705_151	0	0	1014	SDI_0705_152	0	0
1015	SDI_0705_155	0	0	1016	SDI_0705_156	0	0
1017	SDI_0705_159	0	0	1018	SDI_0705_160	0	0
1019	SDI_0705_163	0	0	1020	SDI_0705_164	0	0
1021	SDI_0705_167	0	0	1022	SDI_0705_168	0	0
1023	SDI_0705_171	0	0	1024	SDI_0705_172	0	0
1025	SDI_0705_175	0	0	1026	SDI_0705_176	0	0
1027	SDI_0705_179	0	0	1028	SDI_0705_180	0	0
1029	SDI_0705_183	0	0	1030	SDI_0705_184	0	0
1031	SDI_0705_187	0	0	1032	SDI_0705_188	0	0
1033	SDI_0705_191	0	0	1034	SDI_0705_192	0	0
1035	SDI_0705_195	0	0	1036	SDI_0705_196	0	0
1037	SDI_0705_199	0	0	1038	SDI_0705_200	0	0
1039	SDI_0705_203	0	0	1040	SDI_0705_204	0	0
1041	SDI_0705_207	0	0	1042	SDI_0705_208	0	0
1043	SDI_0705_211	0	0	1044	SDI_0705_212	0	0
1045	SDI_0705_215	0	0	1046	SDI_0705_216	0	0
1047	SDI_0705_219	0	0	1048	SDI_0705_220	0	0
1049	SDI_0705_223	0	0	1050	SDI_0705_224	0	0
1051	SDI_0705_227	0	0	1052	SDI_0705_228	0	0
1053	SDI_0705_231	0	0	1054	SDI_0705_232	0	0
1055	SDI_0705_235	0	0	1056	SDI_0705_236	0	0
1057	SDI_0705_239	0	0	1058	SDI_0705_240	0	0
1059	SDI_0705_243	0	0	1060	SDI_0705_244	0	0
1061	SDI_0705_247	0	0	1062	SDI_0705_248	0	0
1063	SDI_0705_251	0	0	1064	SDI_0705_252	0	0
1065	SDI_0705_255	0	0	1066	SDI_0705_256	0	0
1067	SDI_0705_259	0	0	1068	SDI_0705_260	0	0
1069	SDI_0705_263	0	0	1070	SDI_0705_264	0	0
1071	SDI_0705_267	0	0	1072	SDI_0705_268	0	0
1073	SDI_0705_271	0	0	1074	SDI_0705_272	0	0
1075	SDI_0705_275	0	0	1076	SDI_0705_276	0	0
1077	SDI_0705_279	0	0	1078	SDI_0705_280	0	0
1079	SDI_0705_283	0	0	1080	SDI_0705_284	0	0
1081	SDI_0705_287	0	0	1082	SDI_0705_288	0	0
1083	SDI_0705_291	0	0	1084	SDI_0705_292	0	0
1085	SDI_0705_295	0	0	1086	SDI_0705_296	0	0
1087	SDI_0705_299	0	0	1088	SDI_0705_300	0	0
1089	SDI_0705_303	0	0	1090	SDI_0705_304	0	0
1091	SDI_0705_307	0	0	1092	SDI_0705_308	0	0
1093	SDI_0705_311	0	0	1094	SDI_0705_312	0	0
1095	SDI_0705_315	0	0	1096	SDI_0705_316	0	0
1097	SDI_0705_319	0	0	1098	SDI_0705_320	0	0
1099	SDI_0705_323	0	0	1100	SDI_0705_324	0	0
1101	SDI_0705_327	0	0	1102	SDI_0705_328	0	0
1103	SDI_0705_331	0	0	1104	SDI_0705_332	0	0
1105	SDI_0705_335	0	0	1106	SDI_0705_336	0	0
1107	SDI_0705_339	0	0	1108	SDI_0705_340	0	0
1109	SDI_0705_343	0	0	1110	SDI_0705_344	0	0
1111	SDI_0705_347	0	0	1112	SDI_0705_348	0	0
1113	SDI_0705_351	0	0	1114	SDI_0705_352	0	0
1115	SDI_0705_355	0	0	1116	SDI_0705_356	0	0
1117	SDI_0705_359	0	0	1118	SDI_0705_360	0	0
1119	SDI_0705_363	0	0	1120	SDI_0705_364	0	0
1121	SDI_0705_367	0	0	1122	SDI_0705_368	0	0
1123	SDI_0705_371	0	0	1124	SDI_0705_372	0	0
1125	SDI_0705_375	0	0	1126	SDI_0705_376	0	0
1127	SDI_0705_379	0	0	1128	SDI_0705_380	0	0
1129	SDI_0705_383	0	0	1130	SDI_0705_384	0	0
1131	SDI_0705_387	0	0	1132	SDI_0705_388	0	0
1133	SDI_0705_391	0	0	1134	SDI_0705_392	0	0
1135	SDI_0705_395	0	0	1136	SDI_0705_396	0	0
1137	SDI_0705_399	0	0	1138	SDI_0705_400	0	0
1139	SDI_0705_403	0	0	1140	SDI_0705_404	0	0
1141	SDI_0705_407	0	0	1142	SDI_0705_408	0	0
1143	SDI_0705_411	0	0	1144	SDI_0705_412	0	0
1145	SDI_0705_415	0	0	1146	SDI_0705_416	0	0
1147	SDI_0705_419	0	0	1148	SDI_0705_420	0	0
1149	SDI_0705_423	0	0	1150	SDI_0705_424	0	0
1151	SDI_0705_427	0	0	1152	SDI_0705_428	0	0
1153	SDI_0705_431	0	0	1154	SDI_0705_432	0	0
1155	SDI_0705_435	0	0	1156	SDI_0705_436	0	0
1157	SDI_0705_439	0	0	1158	SDI_0705_440	0	0
1159	SDI_0705_443	0	0	1160	SDI_0705_444	0	0
1161	SDI_0705_447	0	0	1162	SDI_0705_448	0	0
1163	SDI_0705_451	0	0	1164	SDI_0705_452	0	0
1165	SDI_0705_455	0	0	1166	SDI_0705_456	0	0
1167	SDI_0705_459	0	0	1168	SDI_0705_460	0	0
1169	SDI_0705_463	0	0	1170	SDI_0705_464	0	0
1171	SDI_0705_467	0	0	1172	SDI_0705_468	0	0
1173	SDI_0705_471	0	0	1174	SDI_0705_472	0	0
1175	SDI_0705_475	0	0	1176	SDI_0705_476	0	0
1177	SDI_0705_479	0	0	1178	SDI_0705_480	0	0
1179	SDI_0705_483	0	0	1180	SDI_0705_484	0	0
1181	SDI_0705_487	0	0	1182	SDI_0705_488	0	0
1183	SDI_0705_491	0	0	1184	SDI_0705_492	0	0
1185	SDI_0705_495	0	0	1186	SDI_0705_496	0	0
1187	SDI_0705_499	0	0	1188	SDI_0705_500	0	0
1189	SDI_0705_503	0	0	1190	SDI_0705_504	0	0
1191	SDI_0705_507	0	0	1192	SDI_0705_508	0	0
1193	SDI_0705_511	0	0	1194	SDI_0705_512	0	0
1195	SDI_0705_515	0	0	1196	SDI_0705_516	0	0
1197	SDI_0705_519	0	0	1198	SDI_0705_520	0	0
1199	SDI_0705_523	0	0	1200	SDI_0705_524	0	0
1201	SDI_0705_527	0	0	1202	SDI_0705_528	0	0
1203	SDI_0705_531	0	0	1204	SDI_0705_532	0	0

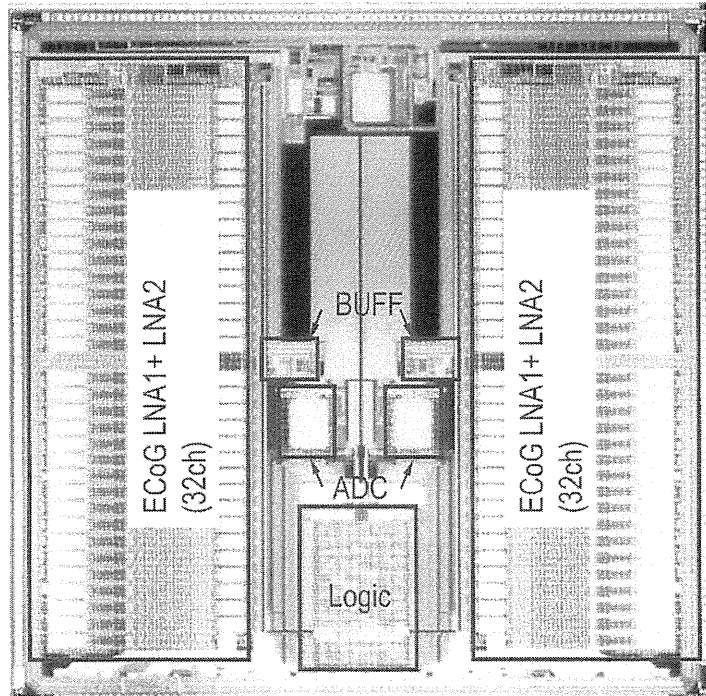
# TEG2.6 レジスタクロック配線とリピータ(バッファ)配置状況



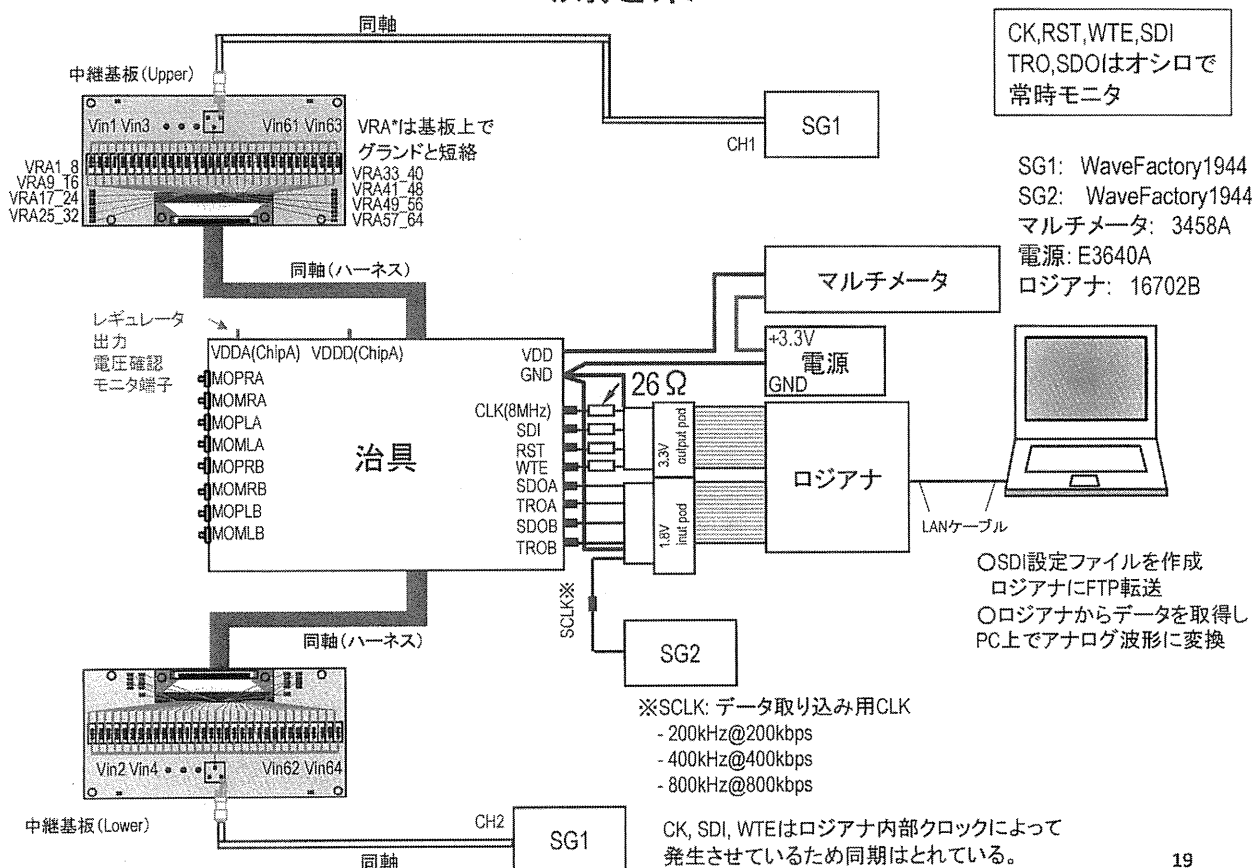
※BUFF1,BUFF5,BUFF2は電源間保護対策機能も実装  
(太字で示した箇所(M)をTEG2.5から修正した;  
M=1@TEG2.5, p. 3参照)

バッファのサイズについては、  
まず、簡易配線モデルを作成して  
シミュレーションを行って決定し  
(補足p.21-24参照)、  
RC抽出後のネットリストによって  
最終的に問題ないことを確認した(p.7)。 17

## チップ写真

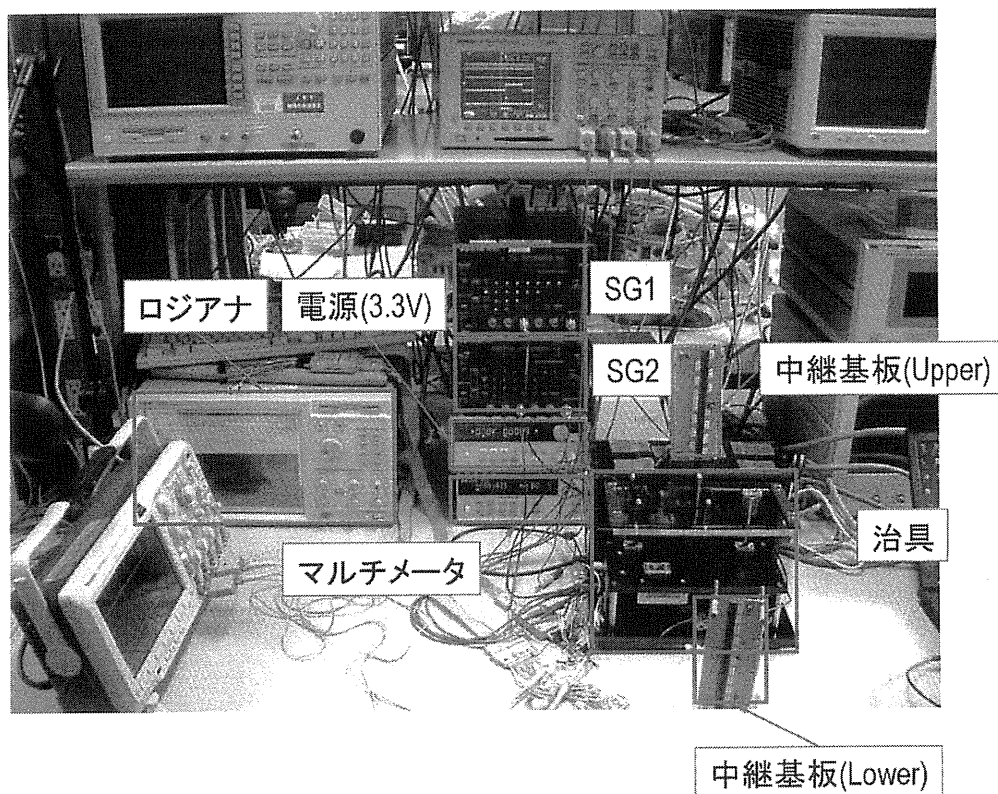


## 測定系



19

## 測定系写真



20

## 測定結果と考察

1. パラメータ設定(SDI)は正常の動作することを確認.
2. 電源電流の測定 ばらつき範囲内でほぼ設計通り
3. デジタル入出力波形と出力データレート  
設計通りの動作を確認
4. アナログ入力デジタル出力の利得と帯域の測定  
ばらつき範囲内で設計値の利得と帯域を確認
5. 低雑音アンプ(LNA1)の利得, 帯域, 雑音  
ばらつき範囲内で設計値の特性を確認  
高域のカットオフ周波数の設定分解能を向上させた方がよい.

## 電源電流

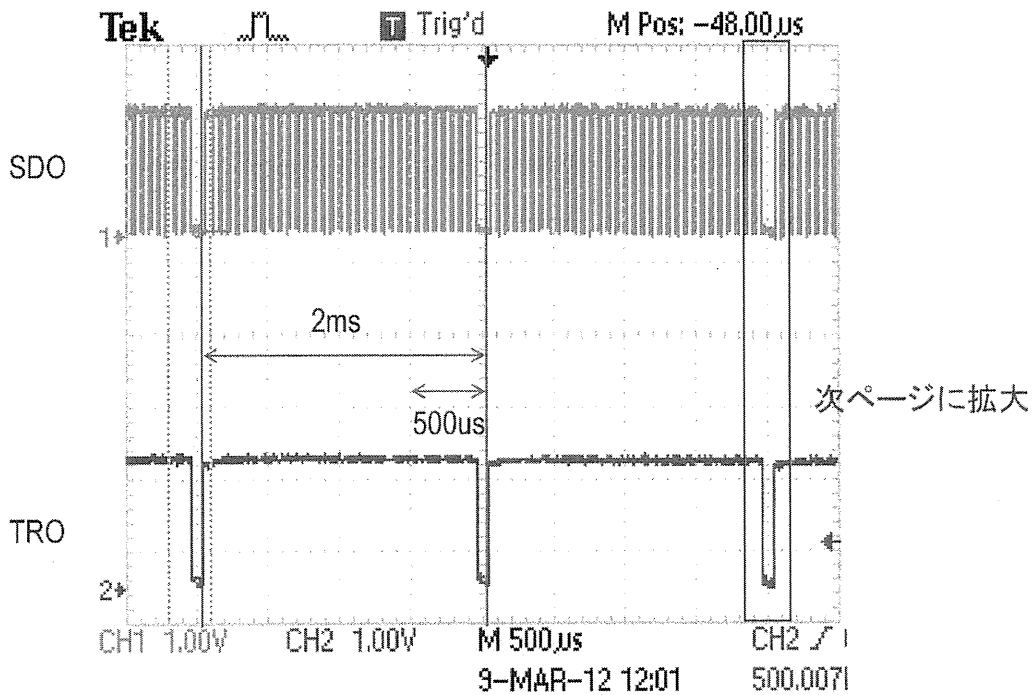
基板名	電源電流[mA]					
	アナログ		デジタル		チップ(アナログ+デジタル)	
	設計値	測定値	設計値	測定値	設計値	測定値(SDO, TRO- ロジアナ間ケーブル除去)
26A	1.31	2.14	1.41	1.24	2.72	3.38
26B		2.04		1.14		3.18
26C		2.08		1.19		3.27
26D		2.19		1.24		3.43
26E		2.07		1.21		3.28
平均		2.10		1.20		3.31

- 電源電流は3.3mAであり、TEG2と同程度(3.2mA@TEG2)。
- アナログ回路の電流は2.1mAであり、設計1.3mAよりも800uA増加。  
←製造ばらつき起因と考えられる。
- デジタル電流は1.2mAであり、設計1.4mAよりも200uA減少。



## 出カデータレートの確認: デフォルト設定 (400kbps)

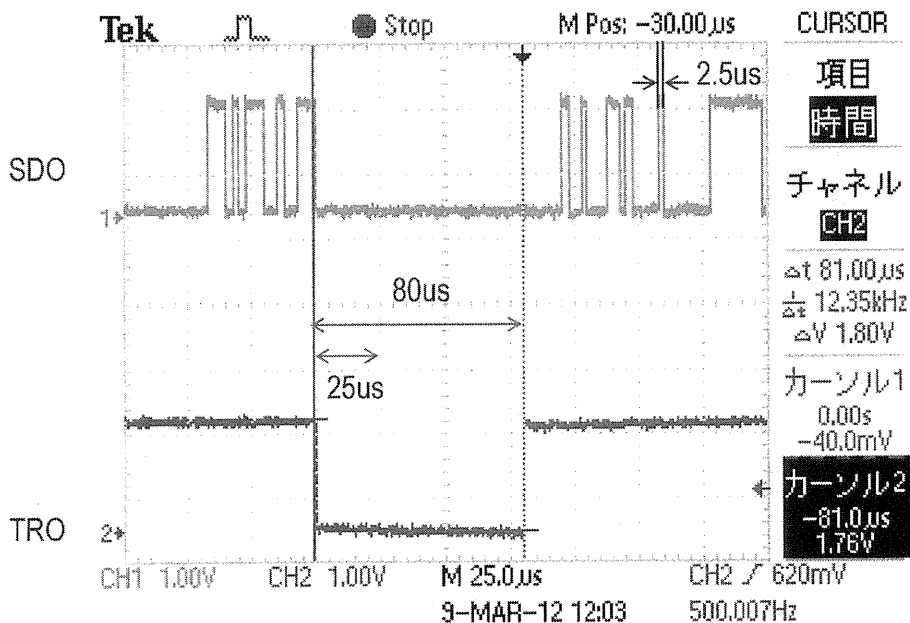
TROが周期2msで出力されており400kbpsで動作していることを確認。



23

## 出カデータレートの確認: デフォルト設定 (400kbps) 拡大

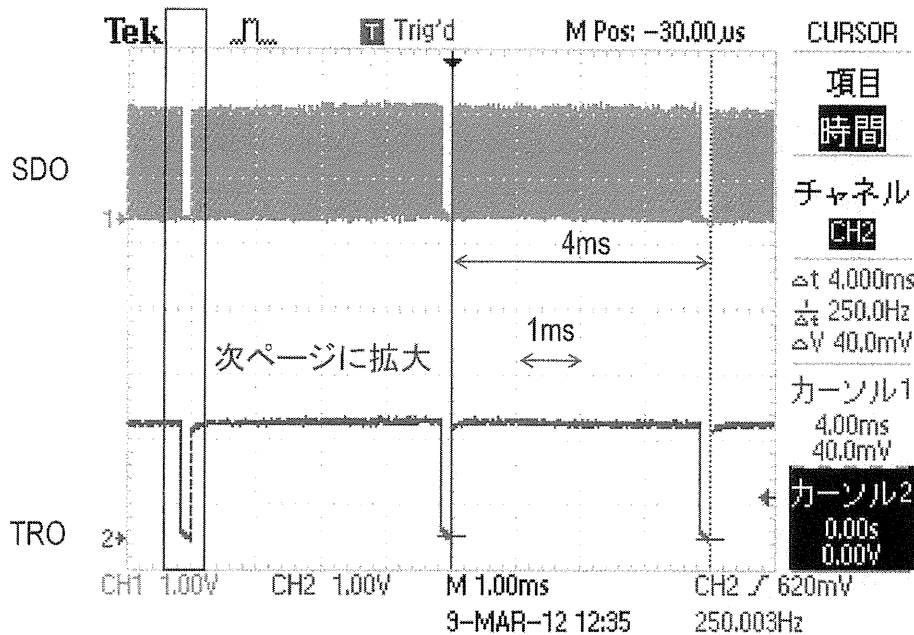
SDOのビット幅=2.5 $\mu$ s、TROのLow期間=80 $\mu$ sを確認。



24

## 出力データレートの確認: SDI設定:200kbps

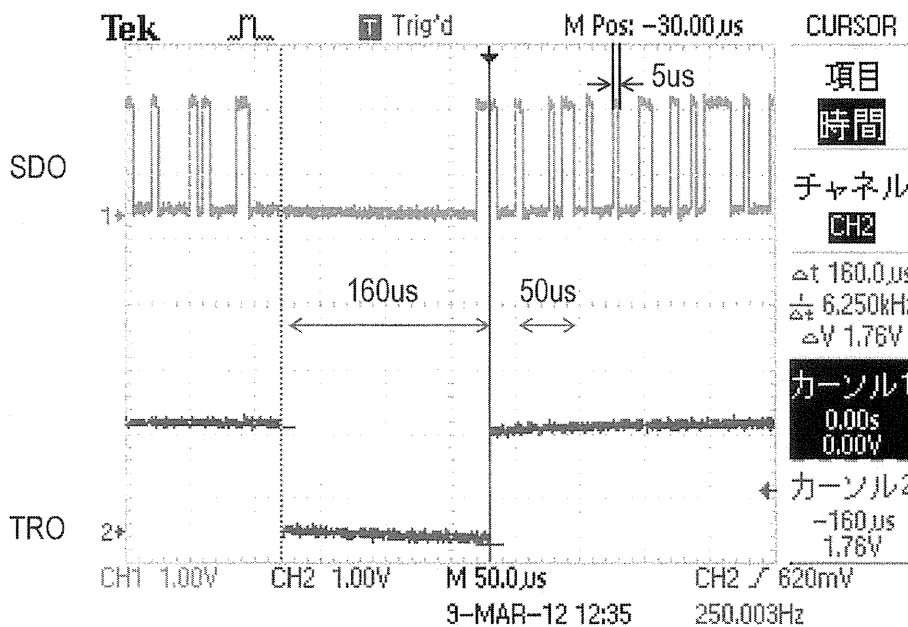
TROが周期4msで出力されており200kbpsで動作していることを確認。



25

## 出力データレートの確認: SDI設定:200kbps 拡大

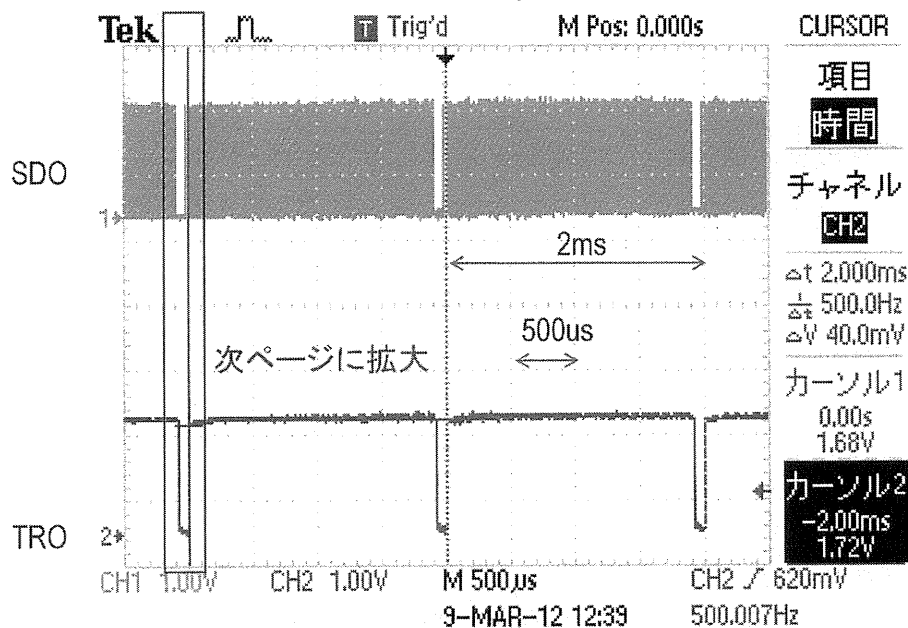
SDOのビット幅=5 $\mu$ s、TROのLow期間=160 $\mu$ sを確認。



26

## 出カデータレートの確認:SDI設定:400kbps

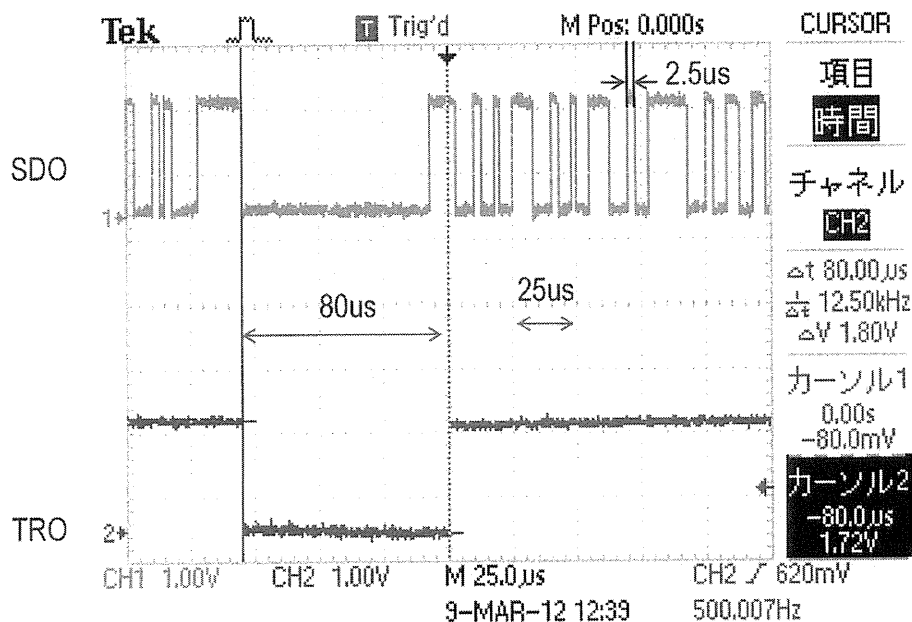
TROが周期2msで出力されており400kbpsで動作していることを確認。



27

## 出カデータレートの確認:SDI設定:400kbps 拡大

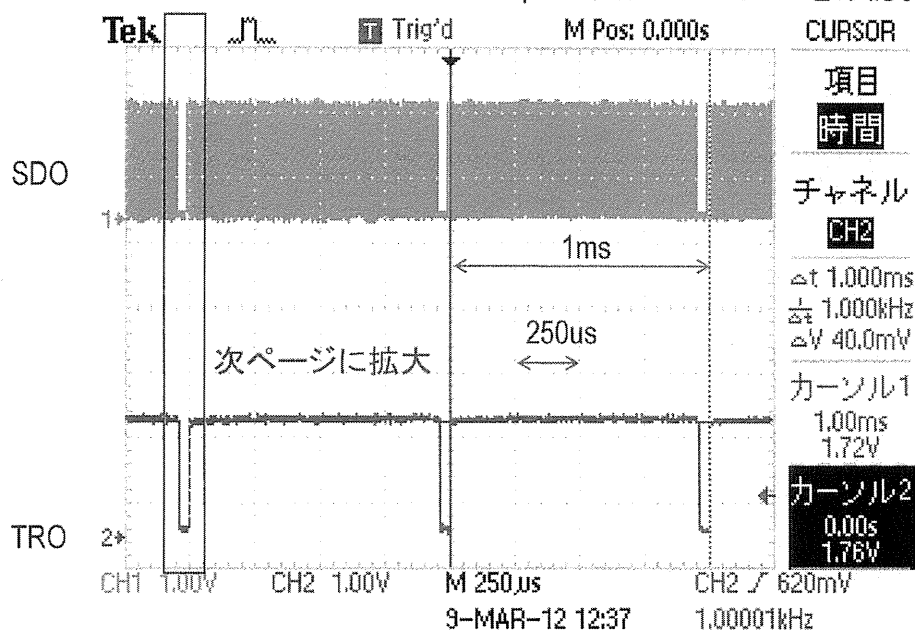
SDOのビット幅=2.5us、TROのLow期間=80usを確認。



28

## 出カデータレートの確認:SDI設定:800kbps

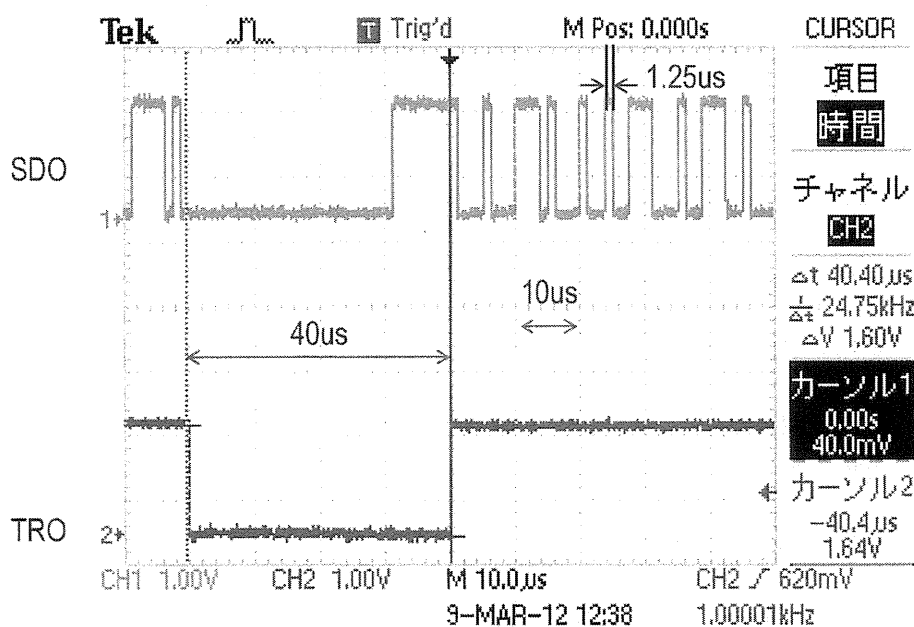
TROが周期1msで出力されており800kbpsで動作していることを確認。



29

## 出カデータレートの確認:SDI設定:800kbps 拡大

SDOのビット幅=1.25us、TROのLow期間=40usを確認。



30