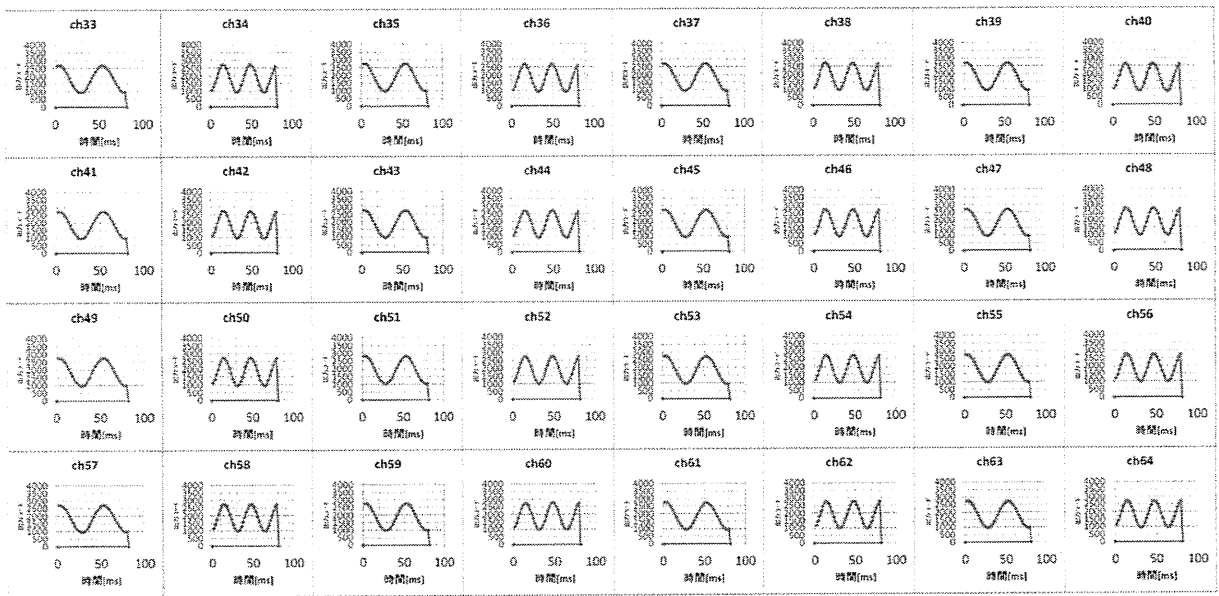


検出機能確認(初期特性)

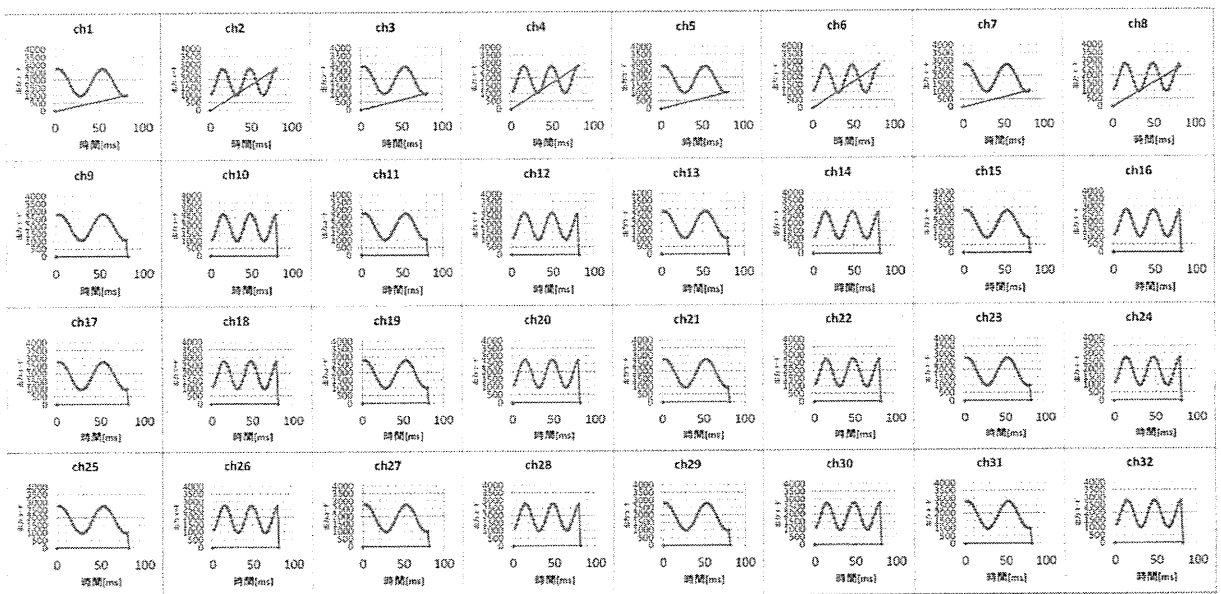
利得設定=デフォルト(60dB) 基板=26C ch=33-64



19

検出機能確認(初期特性)

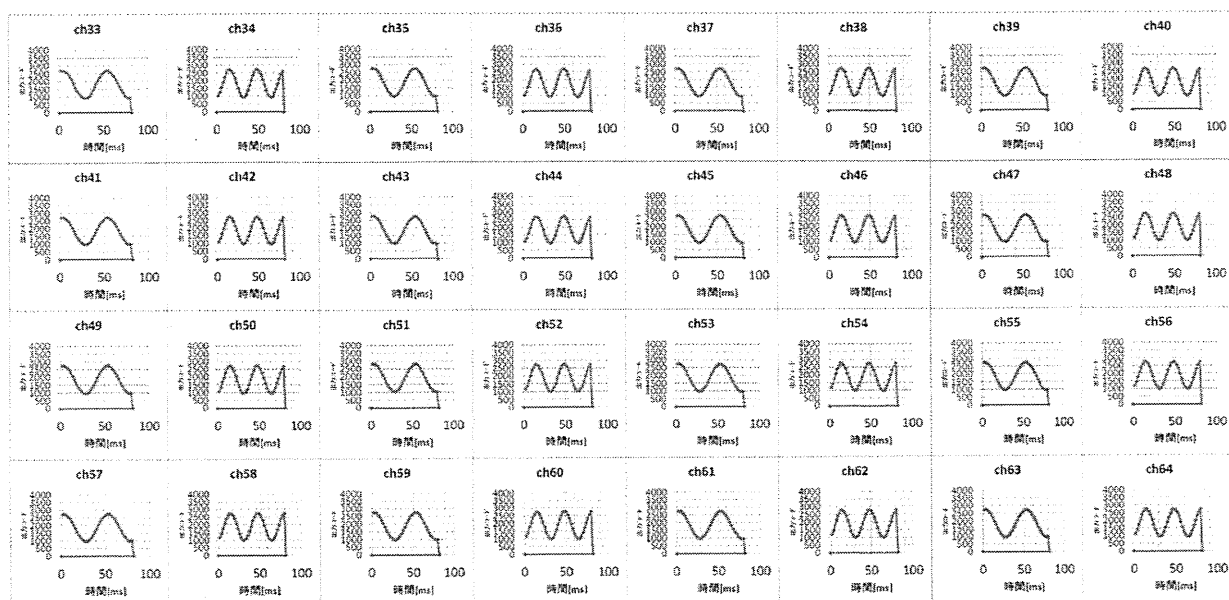
利得設定=デフォルト(60dB) 基板=26D ch=1-32



20

検出機能確認(初期特性)

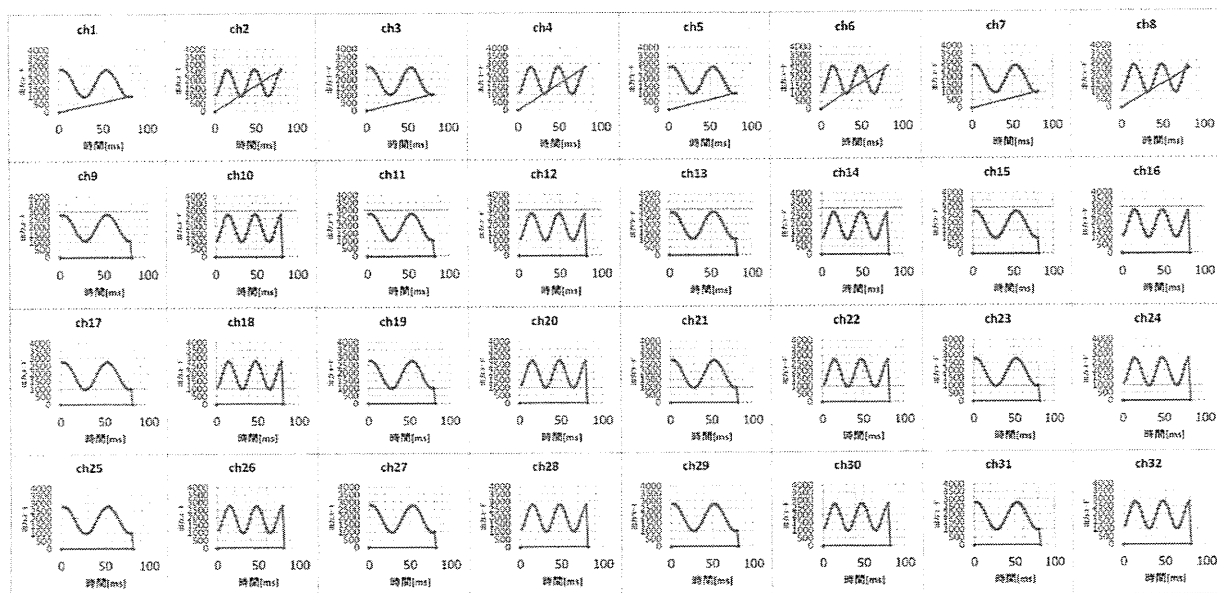
利得設定=デフォルト(60dB) 基板=26D ch=33-64



21

検出機能確認(初期特性)

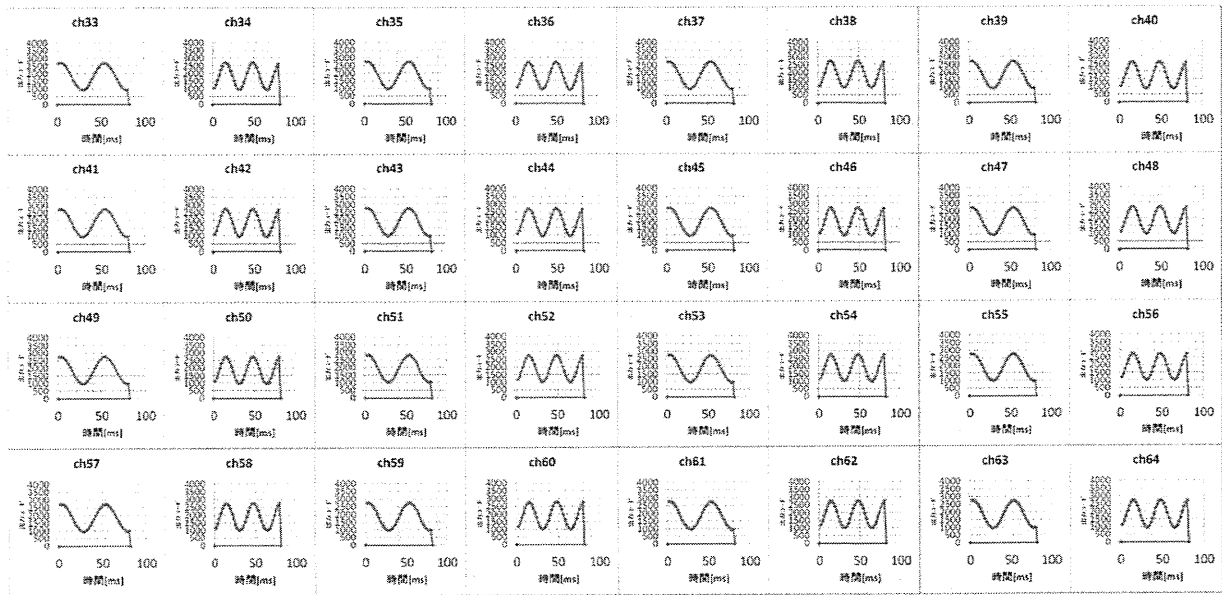
利得設定=デフォルト(60dB) 基板=26E ch=1-32



22

検出機能確認(初期特性)

利得設定=デフォルト(60dB) 基板=26E ch=33-64



23

1.2 検出回路利得

測定条件 電源電圧3.3V 測定温度25°C

基板番号	測定項目	初期特性 dB	100時間 dB	500時間 dB	1000時間 dB	2000時間 dB	4000時間 dB
26A	設定利得40dB	37					
	設定利得60dB	59					
	設定利得80dB	78					
26B	設定利得40dB	38					
	設定利得60dB	58					
	設定利得80dB	79					
26C	設定利得40dB	37					
	設定利得60dB	59					
	設定利得80dB	77					
26D	設定利得40dB	38					
	設定利得60dB	58					
	設定利得80dB	79					
26E	設定利得40dB	41					
	設定利得60dB	58					
	設定利得80dB	78					

1.3 低域カットオフ周波数

測定条件 電源電圧3.3V 測定温度25℃

基板 番号	測定項目 低域カットオフ周波数	初期特性 Hz	100時間 Hz	500時間 Hz	1000時間 Hz	2000時間 Hz	4000時間 Hz
26A	設定0.1Hz	0.10					
	設定1Hz	1.6					
	設定10Hz	10					
26B	設定0.1Hz	0.15					
	設定1Hz	1.4					
	設定10Hz	10					
26C	設定0.1Hz	0.13					
	設定1Hz	1.5					
	設定10Hz	11					
26D	設定0.1Hz	0.10					
	設定1Hz	1.6					
	設定10Hz	10					
26E	設定0.1Hz	0.11					
	設定1Hz	1.3					
	設定10Hz	11					

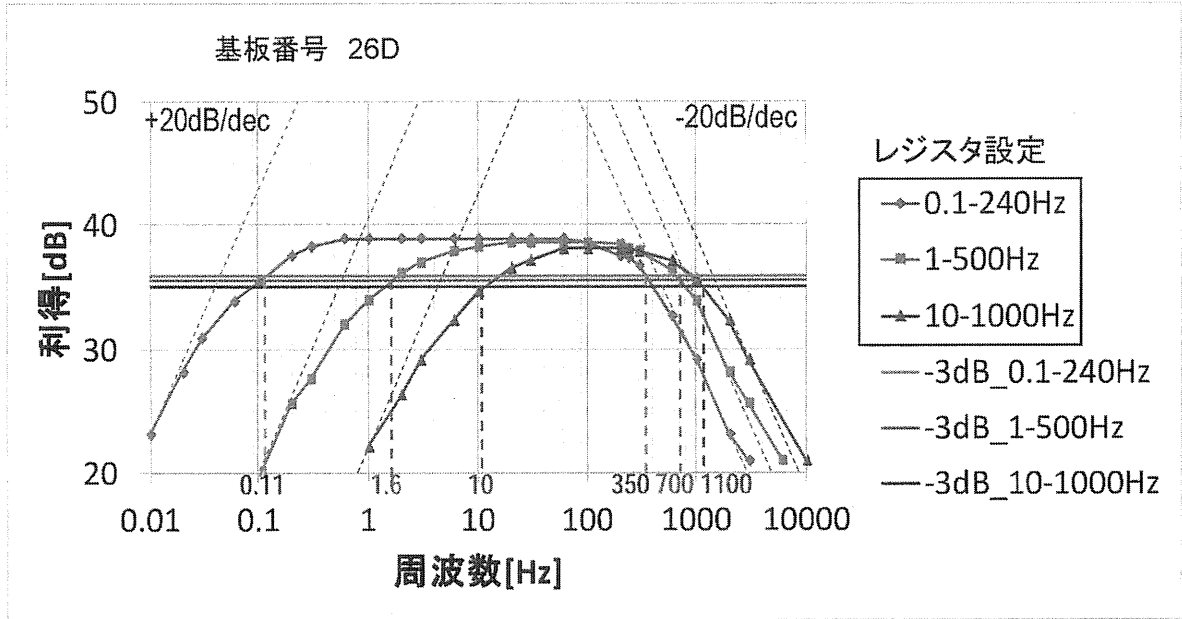
1.4 高域カットオフ周波数

測定条件 電源電圧3.3V 測定温度25℃

基板 番号	測定項目 高域カットオフ周波数	初期特性 Hz	100時間 Hz	500時間 Hz	1000時間 Hz	2000時間 Hz	4000時間 Hz
26A	設定240Hz	315					
	設定500Hz	605					
	設定1000Hz	986					
26B	設定240Hz	330					
	設定500Hz	600					
	設定1000Hz	980					
26C	設定240Hz	340					
	設定500Hz	700					
	設定1000Hz	970					
26D	設定240Hz	350					
	設定500Hz	700					
	設定1000Hz	1000					
26E	設定240Hz	300					
	設定500Hz	600					
	設定1000Hz	950					

モニタLNA1 帯域確認

測定条件
 入力振幅=5mVpp
 CH31=GND, CH32に信号入力
 VG=1.000(調整後 D1,D2,D3,D4=1,0,1,0)



27

1.5 モニタLNA1の入力換算雑音

測定条件 電源電圧3.3V 測定温度25°C 帯域: 1-500Hz 利得: 40dB 利得: 40dB

基板番号	測定項目	初期特性 uV	200時間 uV	500時間 uV	1000時間 uV	2000時間 uV	4000時間 uV
26A	無入力時雑音	4.7					
26B	無入力時雑音	4.6					
26C	無入力時雑音	4.5					
26D	無入力時雑音	4.6					
26E	無入力時雑音	4.7					

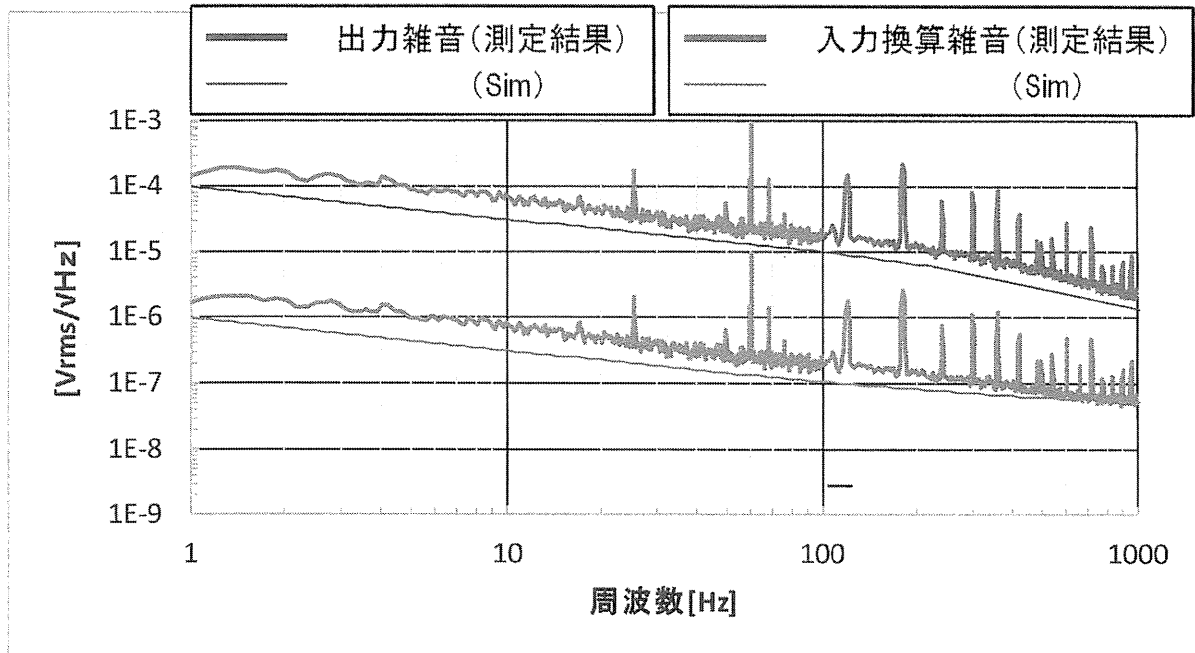
1.6 消費電流

測定条件 電源電圧3.3V 測定温度25°C

基板番号	測定項目	初期特性 mA	200時間 mA	500時間 mA	1000時間 mA	2000時間 mA	4000時間 mA
26A	アナログ電流	2.14					
	全電流A+D	3.38					
26B	アナログ電流	2.04					
	全電流A+D	3.18					
26C	アナログ電流	2.08					
	全電流A+D	3.27					
26D	アナログ電流	2.19					
	全電流A+D	3.43					
26E	アナログ電流	2.07					
	全電流A+D	3.28					

モニタLNA1出力雑音スペクトラム

利得設定=40dB 帯域設定=1-500Hz 基板番号:26D



帯域内(1-500Hz)入力換算雑音=4.6uVrms

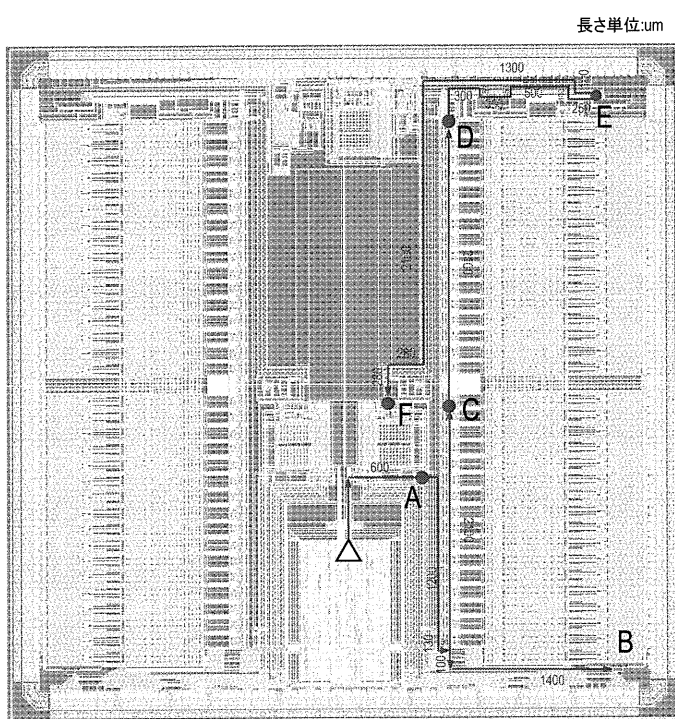
2. 脳波検出回路チップの高信頼化設計書 業務報告書

脳波検出回路チップ(TEG2.6)の 高信頼化設計書

脳波検出回路チップ(TEG2.6)の高信頼化設計の概要

1. 高信頼化のための修正目標:
全レジスタの入力ノードにおけるクロック立ち上がり時間の最大値を約2nsとした。
←レジスタ動作実績のあるTEG2.0における最大値は20nsであった
TEG2.6では、さらに余裕を持たせるため、その1/10の立ち上がり時間を目標とする。
2. 修正結果:
SDI設定のシフトレジスタのクロック配線に中継バッファの追加によって
各レジスタブロックの入力端子における立上り時間が2ns以下であることを確認した。
3. 修正内容:
 - 3.1. 異電源間保護対策用の中継バッファサイズの修正
 - 3.2. クロック中継バッファを2個追加
 - 3.3. LNA1chのレジスタ(6bit)のクロック入力部にバッファを挿入。
 - 3.4. LNAの利得, 帯域のデフォルト設定を変更:
利得60dB(40dB※), 帯域:1-240Hz(500Hz※)
 - 3.5. 出力速度のデフォルト設定を変更:400kbps(200kbs※)
- ※ TEG2.0での設定値
4. 機能動作確認:
機能動作検証によりレジスタ設定を確認

TEG2.0 レジスタクロック配線状況



L/W/M	
▷ 1st※	P:0.18/1.25/3
	N:0.18/1.23/3
▷ 2nd※	P:0.18/1.25/8
	N:0.18/1.23/8

※1st: 初段インバータ
2st: 2段目インバータ

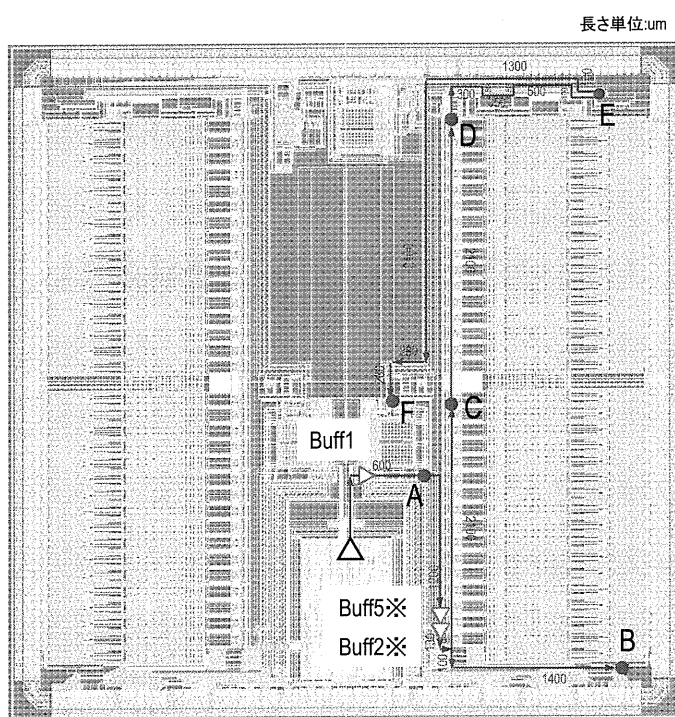
表示ノードの説明:
下記ブロックの一番最後の
レジスタへのクロック入力ノード

- A: ADCブロック
- B: LNAブロックの下側(ch17-32用)
VG電圧設定レジスタ
- C: LNA1&2の設定レジスタ(ch17用)
- D: LNA1&2の設定レジスタ(ch1用)
- E: LNAブロックの上側(ch1-16用)
VG電圧設定レジスタ
- F: LNABuffの設定レジスタ

制御回路の出力バッファのみで全てのレジスタを駆動。

3

TEG2.5 レジスタクロック配線と中継バッファ配置状況



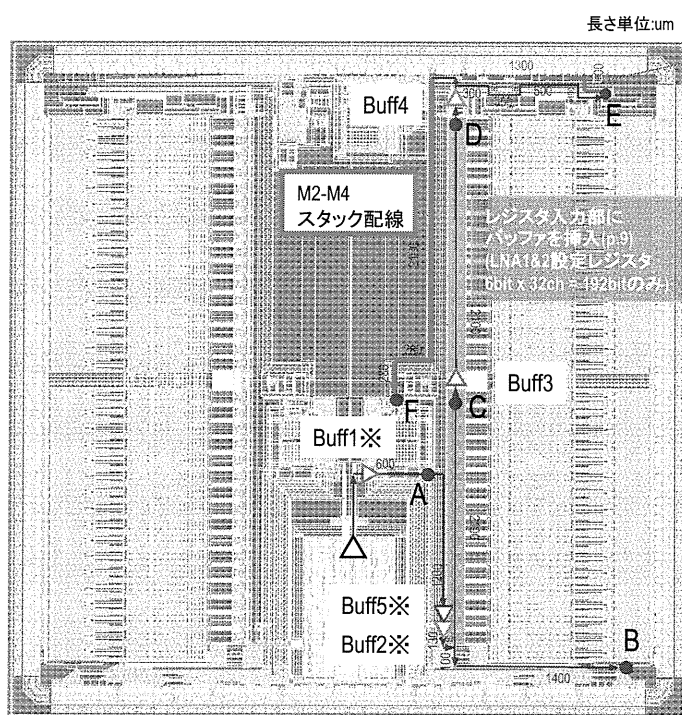
L/W/M	
▷ 1st	P:0.18/1.25/3
	N:0.18/1.23/3
▷ 2nd	P:0.18/1.25/8
	N:0.18/1.23/8

▷ 1st	P:0.2/1.6/1
	N:0.2/1.6/1
▷ 2nd	P:0.2/1.6/1
	N:0.2/1.6/1

異電源保護対策として中継バッファを挿入(補足p.30参照)

4

TEG2.6 レジスタクロック配線と中継バッファ配置状況



配線削除		L/W/M	
▷ 1st	P:0.18/1.25/3 N:0.18/1.23/3	▷ 1st	P:0.2/1.6/1 N:0.2/0.8/1
▷ 2nd	P:0.18/1.25/8 N:0.18/1.23/8	▷ 2nd	P:0.2/1.6/10 N:0.2/0.8/10

Buff5※		Buff1※&3	
▷ 1st	P:0.2/1.6/1 N:0.2/0.8/1	▷ 1st	P:0.2/1.6/1 N:0.2/0.8/1
▷ 2nd	P:0.2/1.6/1 N:0.2/0.8/1	▷ 2nd	P:0.2/1.6/10 N:0.2/0.8/10

Buff2※		Buff4	
▷ 1st	P:0.2/1.6/1 N:0.2/0.8/1	▷ 1st	P:0.2/1.6/5 N:0.2/0.8/5
▷ 2nd	P:0.2/1.6/20 N:0.2/0.8/20	▷ 2nd	P:0.2/1.6/50 N:0.2/0.8/50

※Buff1,Buff5,Buff2は電源間保護対策機能も兼用
(太字で示した箇所(M)をTEG2.5から修正した;
M=1@TEG2.5, p. 3参照)

バッファのサイズについては、
まず、簡易配線モデルを作成して
シミュレーションを行って決定し
(補足p.21-24参照)、
RC抽出後のネットリストによって
最終的に問題ないことを確認した(p.7)。 5

TEG2.6 中継バッファの追加の理由

Buff2出力からFまでの配線抵抗が約4kΩ、配線容量が約3pFであるため
Buff2のバッファの駆動力を強化しても立ち上がり時間が
36ns(3τ; 配線の時定数=4kΩ x 3pF = 12ns)より短縮できず、
(配線ネックによって)目標の2ns以下は不可能であることが分かった※。

そこで、配線の途中にBuff3, Buff4を挿入することによって
Buff2, Buff3, Buff4の負荷となる配線抵抗を1kΩ、配線容量を1pF程度にした。
(ただし、E-Fの配線の一部を削除し、D-F配線をスタック配線にした。)

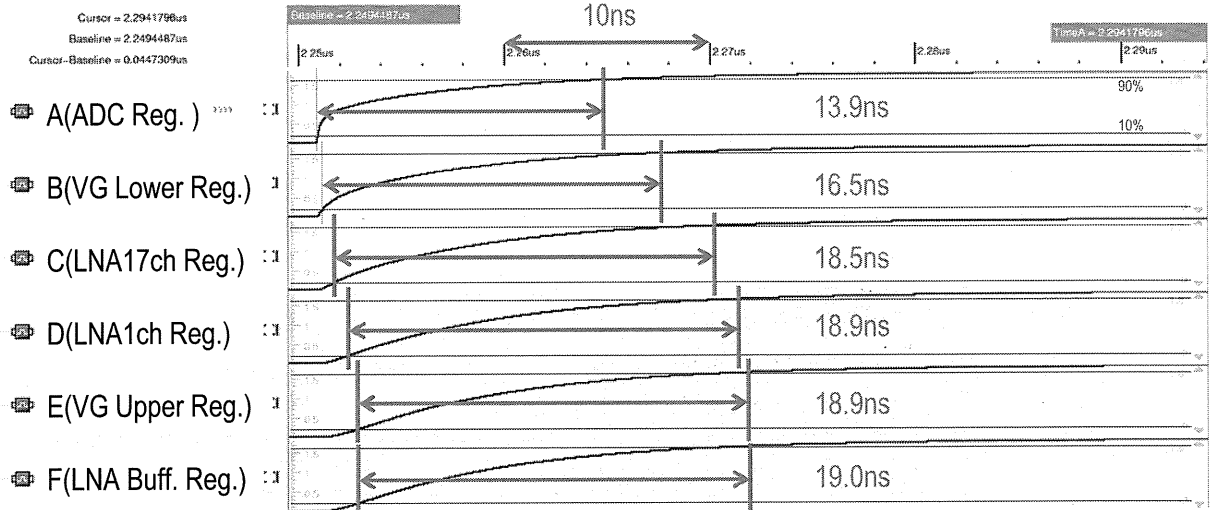
これにより、配線の時定数=1kΩ x 1pF=1nsとなり
Buff2, Buff3, Buff4のサイズを調整することにより、A~Fの各ポイントにおける
立ち上がり時間を3ns (約2ns) 以下にすることが可能になった。

※参考までに、配線抵抗=4kΩ、配線容量=2pFの場合に
バッファサイズを変えたときのシミュレーション結果をp.32,33に示す。
この場合にも配線ネックのために、立ち上がり時間が約20ns以下にならない。
(配線の時定数から計算される立ち上がり時間=4kΩ x 2pF x 3τ=24nsなので、シミュレーション結果は妥当。)

TEG2.0 レジスタA~Fの入カクロック波形(RC考慮)

Waveform 1 – SimVision

※A~Fの説明はp.2を参照



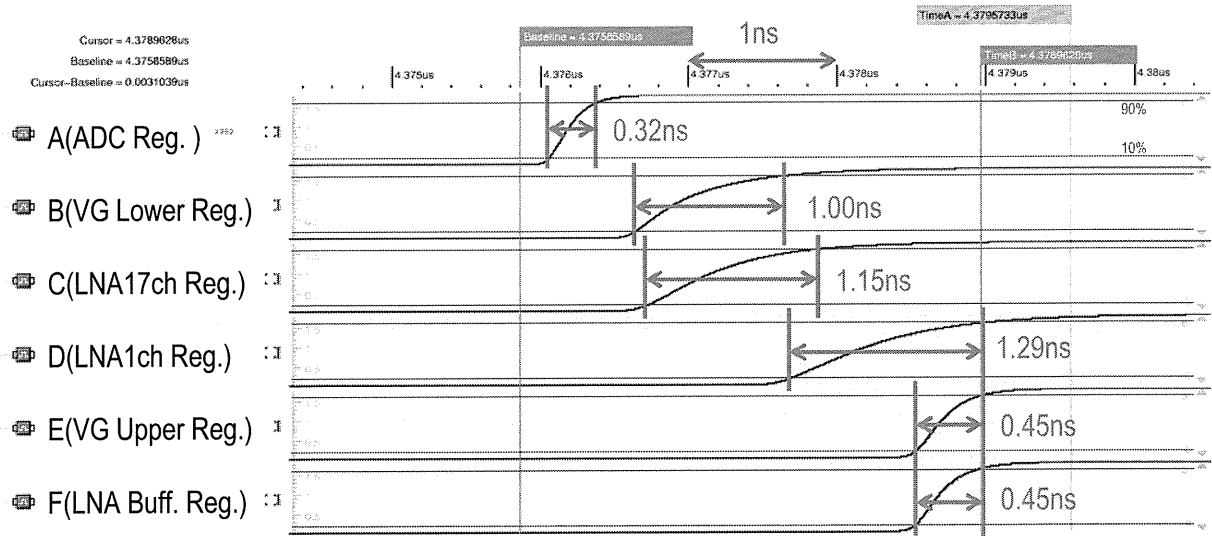
TEG2.0では立ち上がり時間は最大約20ns以内。
実測ではレジスタが正常動作していることを確認した。

7

TEG2.6 レジスタA~Fの入カクロック波形(RC考慮)

Waveform 2 – SimVision

※A~Fの説明はp.2を参照



全てのレジスタにおいて、入力クロックの立ち上がり時間の最大が
1.3ns以内まで改善された。

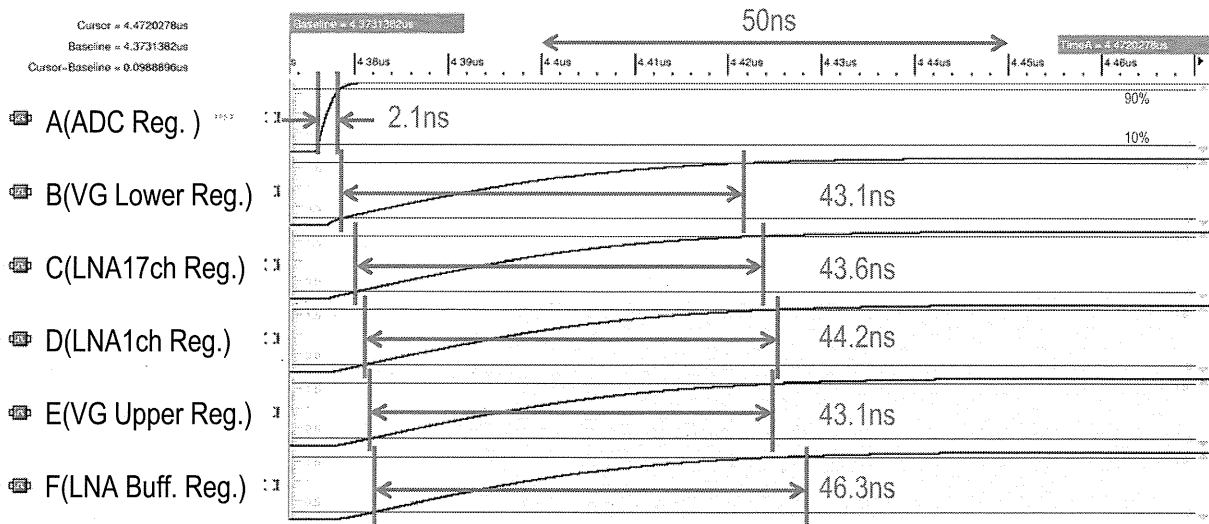
→ レジスタ動作実績のあるTEG2.0に対して約1/20まで立ち上がり時間が短くなった。
レジスタは安定して動作できると考えられる。

8

参考: TEG2.5 レジスタA~Fの入カクロック波形(RC考慮)

Waveform 1 - SimVision

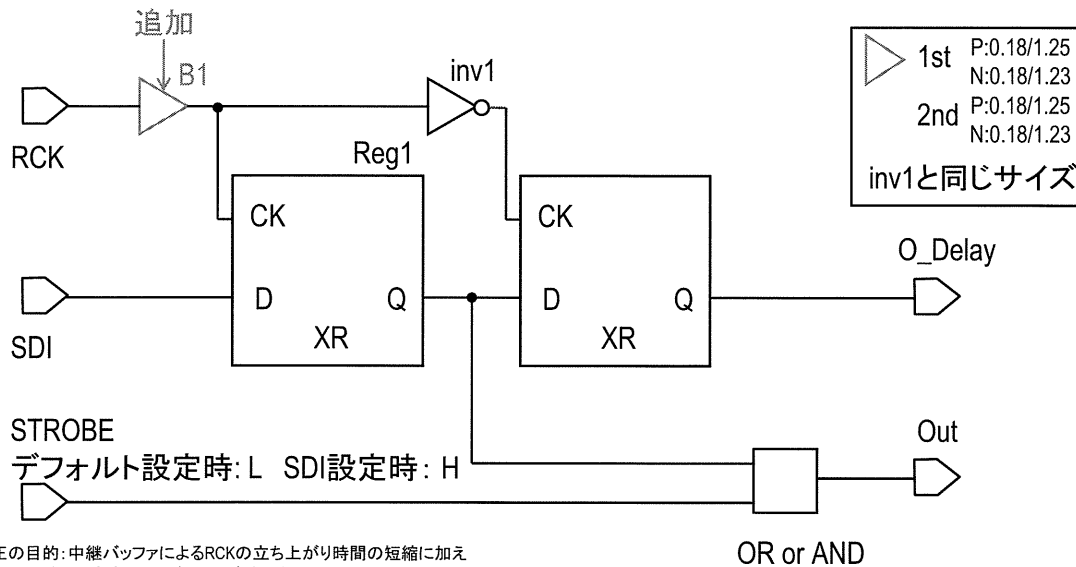
※A~Fの説明はp.2を参照



Aを除き、立ち上がり時間は40ns以上となっている。→ TEG2.0に対して2倍以上
 実測では、レジスタ設定ができなかった。
 (電源雑音によって、LowからHighに遷移する途中でクロックが乱れてしまった可能性
 がある。)

9

TEG2.6 LNA1ch用レジスタの修正



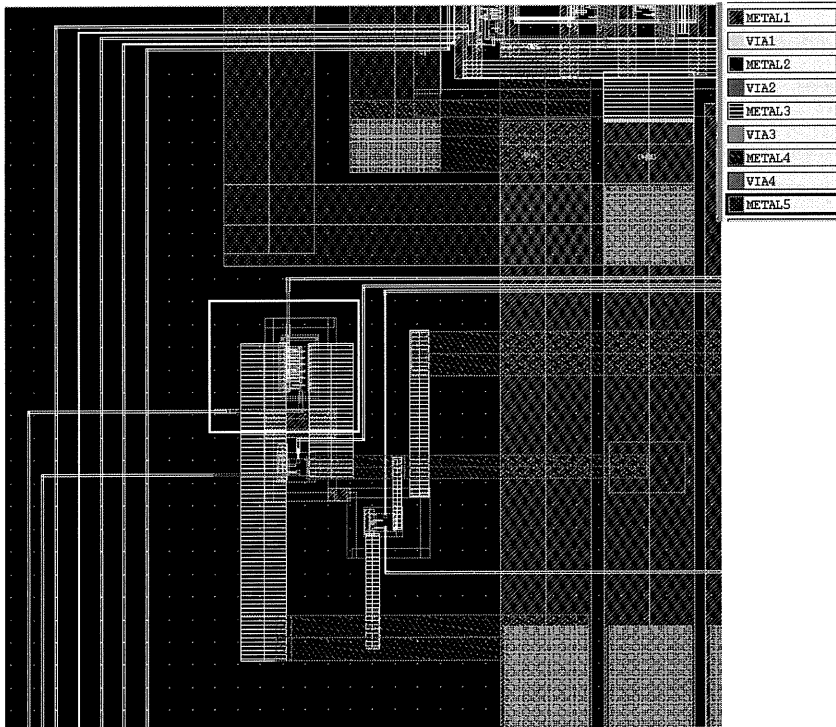
○修正の目的: 中継バッファによるRCKの立ち上がり時間の短縮に加え
 さらに安定したレジスタ設定を行うため。
 また、RCKと接続する素子が追加したバッファ(B1)だけになった(*)ことによって
 Buff2の負荷の1つであるch17-32のレジスタのゲート容量が
 1/2(600fF→300fF)に減少する効果もあるため。
 (※TEG2.5, TEG2.0では、RCKと接続する素子はinv1とReg1の2つ。)

○修正内容: inv1と同一のインバータを2段にしたバッファをRCKに挿入した。
 (← inv1出力の立ち上がり時間は100ps程度と短いため同サイズで問題ないと判断。
 シミュレーションでも確認した。)

○補足: 本来であれば、LNA以外のレジスタについてもこの修正を行いたかったが
 レイアウトサイズが変わってしまいDRCに違反したためできなかった。

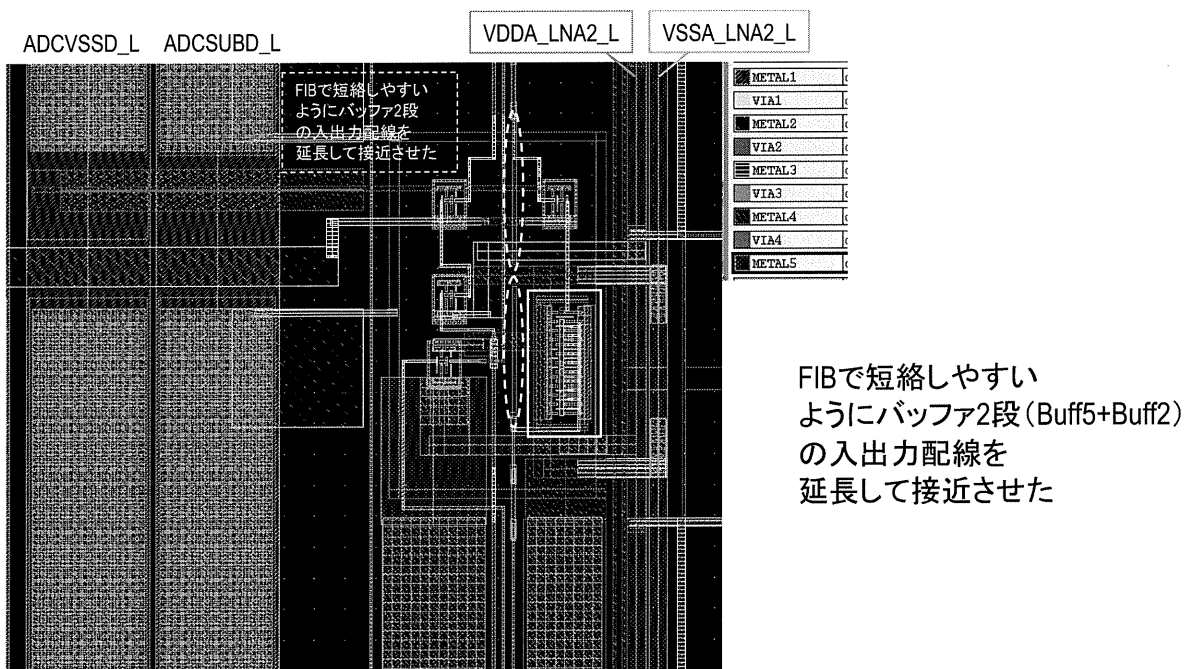
10

Buff1レイアウト



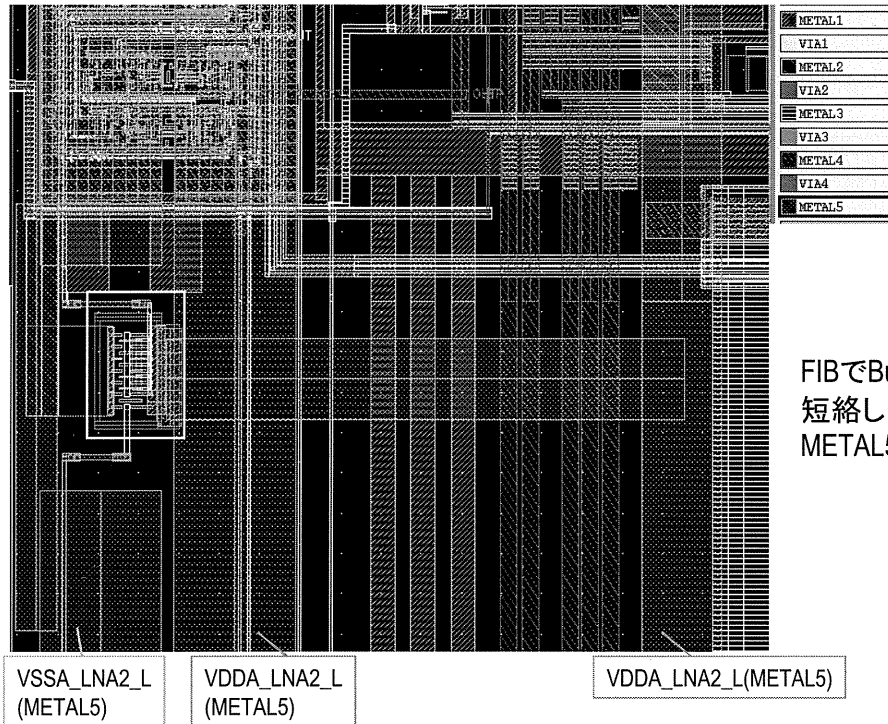
11

Buff2レイアウト



12

Buff3レイアウト

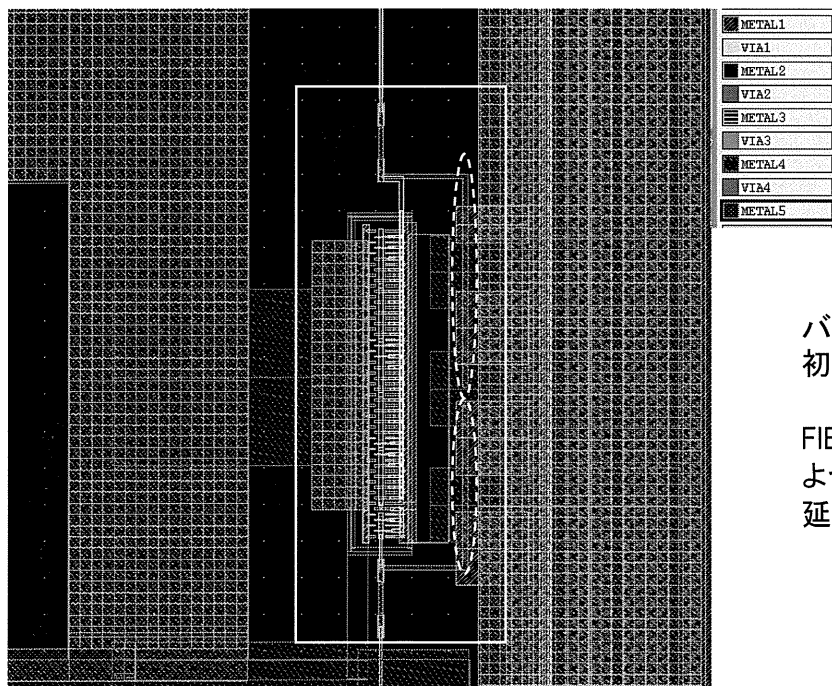


FIBでBuff3の入出力を短絡しやすいようにMETAL5で配線。

13

Buff4 レイアウト

2012/2/8



バッファのサイズを初段5倍、後段50倍に変更。

FIBで短絡しやすいようにBuff4の入出力配線を延長して接近させた。

14

機能動作検証 レジスタ設定結果

111120_BMITEG26シフトレジスタ動作確認用ベクタ.xlsx

アドレス	シミュレーション結果[V]									
	デフォルト設定 (常にWTE=0)		SDI設定(WTE=1)				SDI設定後にリセットをかけて (RST:0→1) デフォルト設定に戻す			
	設定値 0→>0V 1→1.8V	SEL=0 (ChipA) ODR=10	設定値 0→>0V 1→1.8V	SEL=0 (ChipA) ODR=00 ODR=01 ODR=10			設定値 0→>0V 1→1.8V	SEL=0 (ChipA) ODR=00 ODR=01 ODR=10		
1	0	0	1	1.8	1.8	1.8	0	0	0	0
2	0	0	1	1.8	1.8	1.8	0	0	0	0
3	0	0	1	1.8	1.8	1.8	0	0	0	0
4	0	0	1	1.8	1.8	1.8	0	0	0	0
5	0	0	1	1.8	1.8	1.8	0	0	0	0
6	1	1.8	0	0	0	0	1	1.8	1.8	1.8
7	0	0	1	1.8	1.8	1.8	0	0	0	0
8	0	0	1	1.8	1.8	1.8	0	0	0	0
9	0	0	1	1.8	1.8	1.8	0	0	0	0
10	1	1.8	0	0	0	0	1	1.8	1.8	1.8
11	0	0	1	1.8	1.8	1.8	0	0	0	0
451	0	0	1	1.8	1.8	1.8	0	0	0	0
452	0	0	1	1.8	1.8	1.8	0	0	0	0
453	0	0	1	1.8	1.8	1.8	0	0	0	0
454	1	1.8	0	0	0	0	1	1.8	1.8	1.8
455	0	0	1	1.8	1.8	1.8	0	0	0	0
456	0	0	1	1.8	1.8	1.8	0	0	0	0
457	0	0	1	1.8	1.8	1.8	0	0	0	0
458	1	1.8	0	0	0	0	1	1.8	1.8	1.8
459	0	0	1	1.8	1.8	1.8	0	0	0	0
460	1	1.8	1	1.8	1.8	1.8	1	1.8	1.8	1.8
461	0	0	1	1.8	1.8	1.8	0	0	0	0
462	0	0	1	1.8	1.8	1.8	0	0	0	0
463	1	1.8	0	0	0	0	1	1.8	1.8	1.8
464	0	0	1	1.8	1.8	1.8	0	0	0	0
465	0	0	1	1.8	1.8	1.8	0	0	0	0
466	0	0	1	1.8	1.8	1.8	0	0	0	0
467	0	0	1	1.8	1.8	1.8	0	0	0	0
468	1	1.8	0	0	0	0	1	1.8	1.8	1.8

下記3パターンを確認。

1. デフォルト設定

2. SDI設定※

2-1. 200kbps(ODR=00)

2-2. 400kbps(ODR=01)

2-3. 800kbps(ODR=10)

※デフォルト設定の反転値を入力

3. SDI設定後リセット

(デフォルト設定)

3-1. 200kbps(ODRR=00)後リセット

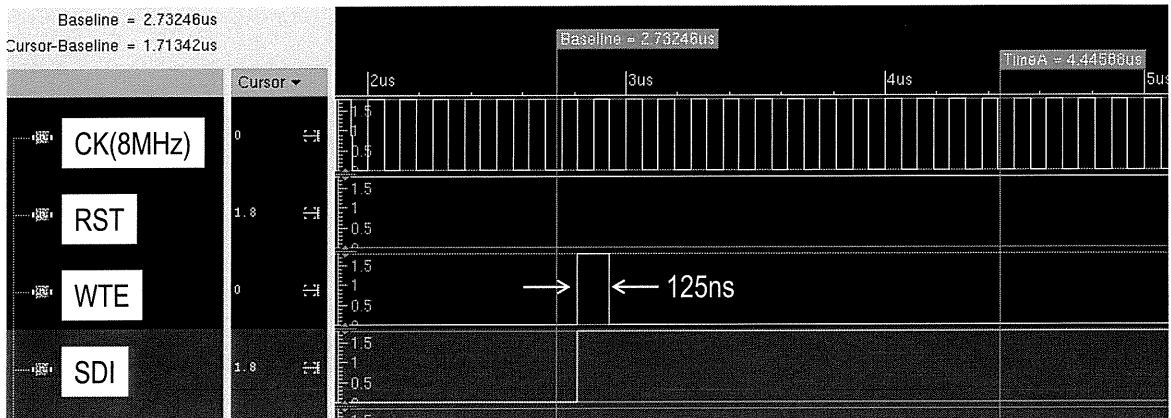
3-2. 400kbps(ODRR=01)後リセット

3-3. 800kbps(ODRR=10)後リセット

全てのパターンにおいて
468bitについて設定通りの
レジスタ出力を確認した。

15

機能動作検証 制御入力信号波形



WTEを立ち上げるタイミングでSDIも設定開始

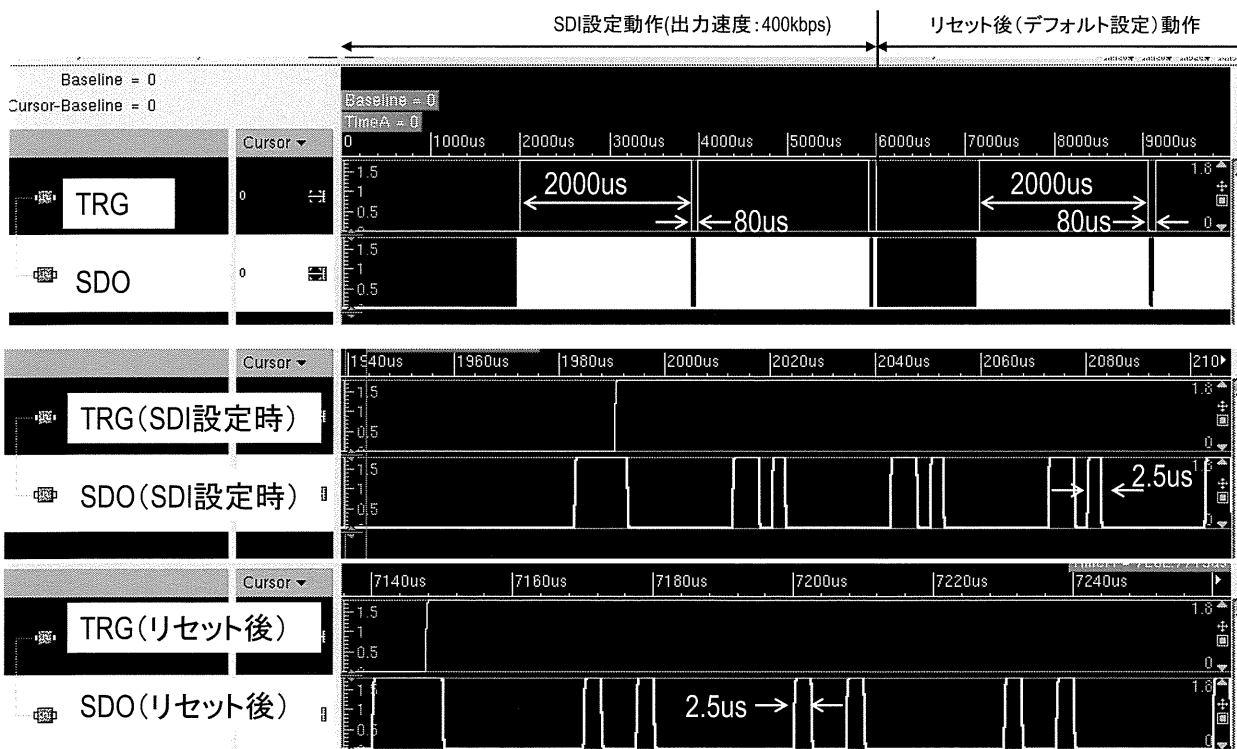
16

機能動作検証 TRG, SDO周期とビット幅の確認(出力速度: 200kbps)



17

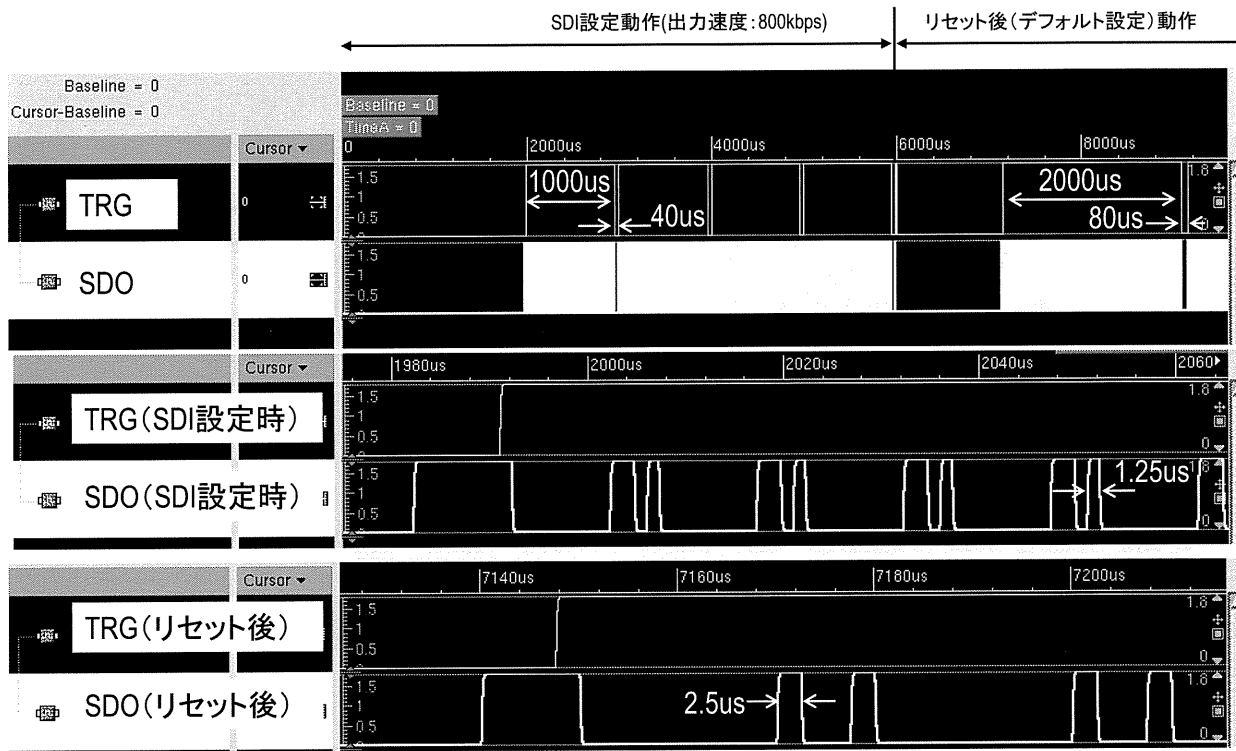
機能動作検証 TRG, SDO周期とビット幅の確認(出力速度: 400kbps)



18

機能動作検証

TRG, SDO周期とビット幅の確認(出力速度: 800kbps)



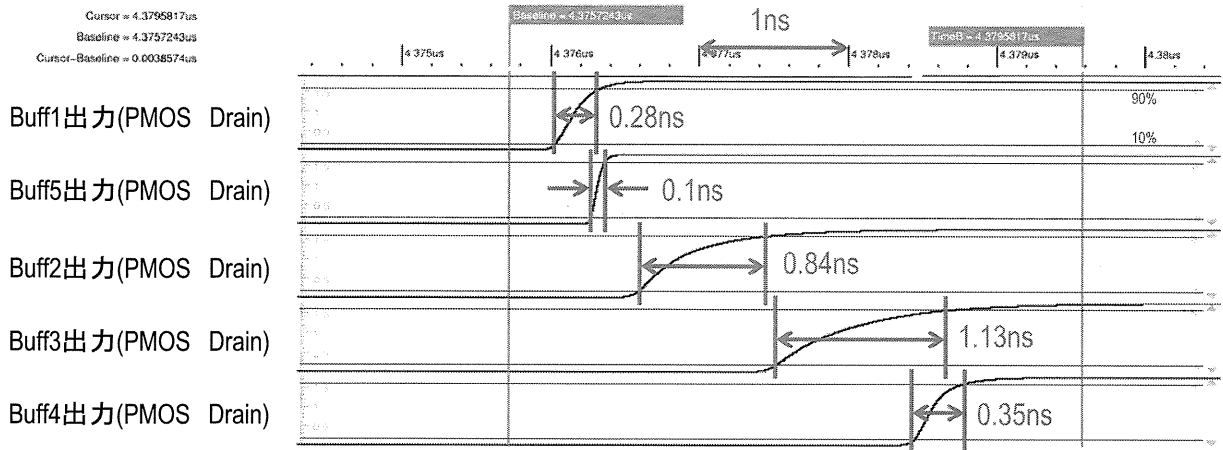
19

補足資料

配線の寄生素子を考量した回路モデルによる、波形のシミュレーション結果

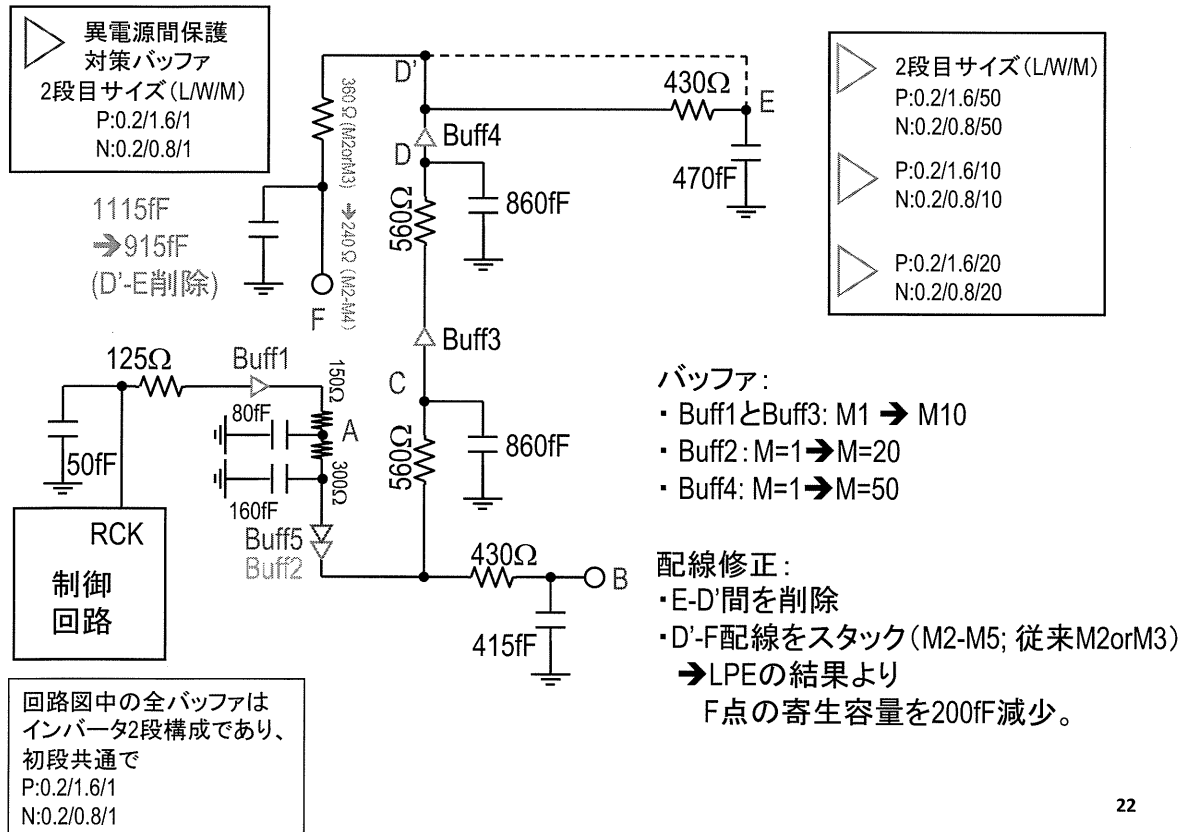
20

TEG2.6 中継バッファ出力端(Drain)における波形(RC抽出後)



21

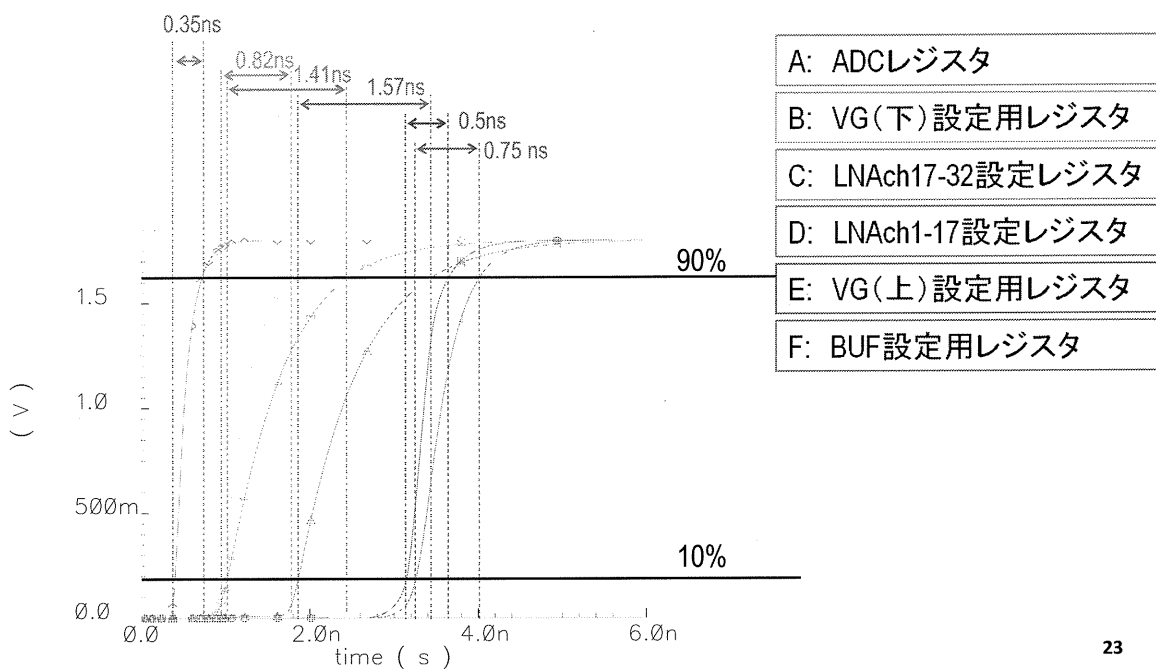
TEG2.6 バッファ挿入位置、サイズ、RCK配線簡易モデル



22

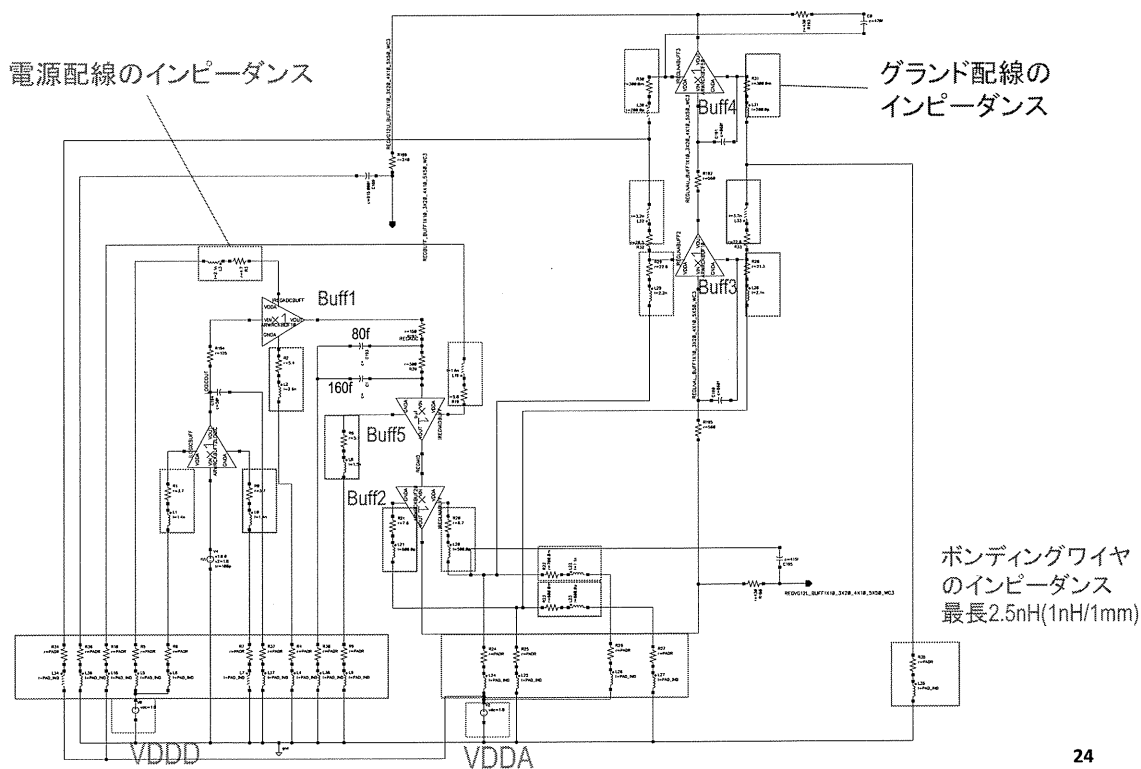
TEG2.6 CK配線簡易モデル 修正後 過渡解析結果 まとめ

全てのノードにおいてクロックの立ち上がり時間が2nsであることを確認した。



23

TEG2.6 配線インダクタンスと電源・グランド配線(ボンディングワイヤも含む)のインピーダンス(RL)を考慮したモデル

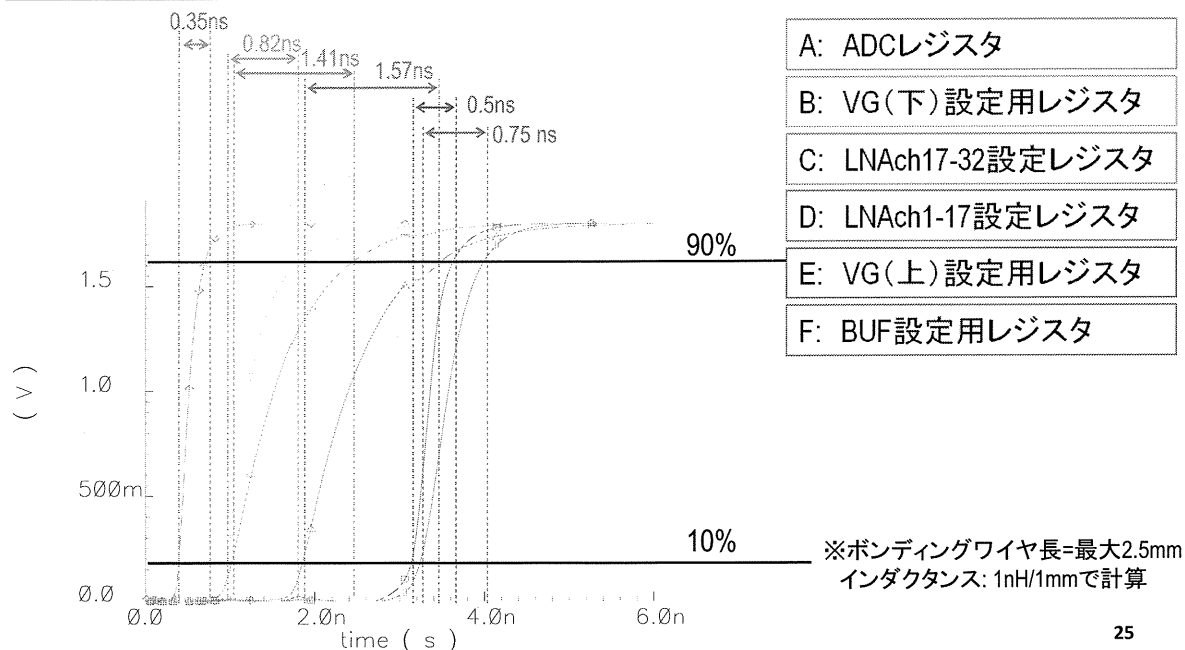


24

過渡解析結果 まとめ 電源・グラウンドのインピーダンス考慮

Dではインダクタンスの影響によってリングングが発生しているが、誤動作するレベルではないため問題なし。

ボンディングワイヤのインダクタンス※=3nH, 抵抗=0.1Ω



25

TEG2.6 配線抵抗と配線容量について
簡易モデルとCalibreXRCによるRC抽出モデルの比較

項目	Buff1-Buff2	Buff2-Buff3	Buff2-B	Buff3-Buff4	Buff4-E	Buff4-F
簡易モデル	配線抵抗[ohm]	450	560	430	560	430
	配線容量[fF]	240	1275		860	1385
	1τ[nsec]	0.108			0.4816	
	2τ[nsec]	0.216			0.9632	
CalibreRC抽出	配線抵抗[ohm]	450	482	460	440	428
	配線容量[fF]	250	1250		820	1640
	1τ[nsec]	0.1125			0.3608	
	2τ[nsec]	0.225			0.7216	
	3τ[nsec]	0.3375			1.0824	

LPE抽出結果とCK配線簡易モデルの抵抗値、容量値はよく一致している。誤差が最大であるのはBuff4-E, Buff4-Fまでの配線であり、CalibreによるRC抽出結果に対して-20%の誤差。
→ 簡易モデルがある程度妥当であることがわかる。

※Calibre RC抽出ネットリストについて、NANOSIMIによる配線容量の計算結果についての詳細情報はp.26を参照