

図 2-20 ローリングシャッター方式

図 2-20 は 1 行 1 列の Pixel から列を変更しつつ 1 つずつ読み出している。1 行のすべての Pixel を読み出すと 2 行目の Pixel に移り、最終行の最終列の Pixel まで読み出すことで一枚分の二次元磁束分布図の読み出しが終了する。

ローリングシャッター方式では順番に各 Pixel からデータを読み出すが、その間も磁石は移動し続ける。そのため、高速で移動する磁石を測定した場合に像の歪みが発生する。これにより、円柱状の磁石を用いても正確な円形の二次元磁束分布図にはならず像が歪んでしまい精密な位置検出が困難となる。磁石の像が垂直方向に歪んだ二次元磁束分布のイメージを図 2-21 に示す。

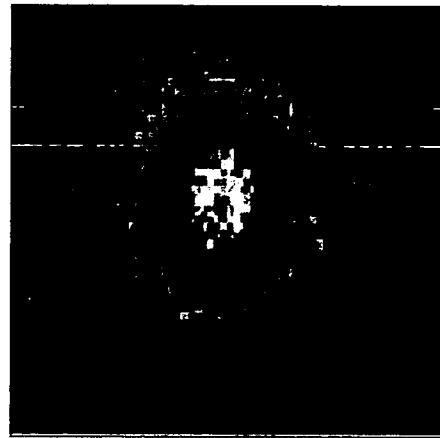


図 2-21 像の歪んだ二次元磁束分布図イメージ

図 2-21 の様に歪んだ二次元磁束分布図から精密な磁石の中心を求めるにはソフトウェアによる補正が必要である。

次に、像の歪みの算出について説明する。集積化磁気センサの読み出しは行を固定したまま列を切り替えて読み出し、すべて列を読み出した後に、行の切り替えを行う。そのため、水平方向に高速で動く磁石の二次元磁束分布図と比較して垂直方向に高速で動く磁石の二次元磁束分布図に歪みが大きく現れる。よって、本研究では半時計回りに回転する磁石が 270° の位置での垂直方向の二次元磁束分布図の歪みをその回転数における歪みの最大値とし、二値化処理により特徴を抽出に適したデータに変換した二次元磁束分布図から歪みを算出する。二値化処理を施した二次元磁束分布図による像の歪みの算出方法を図 2-22 に示す。

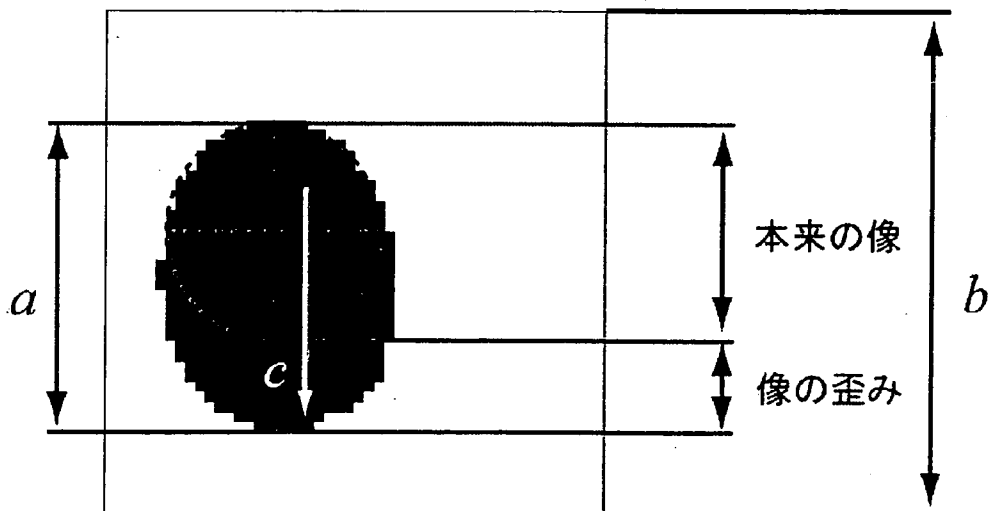


図 2-22 歪みの算出方法

このときの a は二値化処理を施したデーにおける 1(黒)のデータの垂直方向の長さ、b は全体の垂直方向の長さ、c は 1 枚撮像する間に磁石が動く距離である。像の歪みを表す式を式(1)に示す。

$$\text{像の歪み} = c \times \frac{a}{b} \dots\dots\dots (1)$$

像の歪みの単位は[m]である。また、c は集積化磁気センサチップの読み出し速度[frame/sec](以下、fps)の逆数から算出する。

C. 2. 6. 3 応答速度の測定

現在、二次元磁束分布図の読み出し速度は最大で 1647fps(1sec に 1647frame)、ノイズが少ない画像では 976fps を達成している。しかし、人工心臓に用いられる磁気浮上モーターは 3000rpm で回転するため、現在の読み出し速度では十分といえず、磁束分布の像が歪むと考えられる。よって、3000rpm で回転するモーターに取り付けられた磁石が発する磁束分布の像の歪みが 1 画素(50 μm)以内に収まる読み出し速度を目標値として磁気センサチップの応答速度の測定を行い、前節で述べた計算による歪みの算出と円形のパターンを重ね合わせによる歪みの検出を行った。

各読み出し速度(244fps、488fps、976fps、1464fps)と各回転数(400rpm、1000rpm、3000rpm)において磁石が 270° の位置にある二次元磁束分布図の測定結果を図 2-23 に示す。図 2-23 は二次元磁束分布図と二値化処理を施した図を並べて配置しており、二次元磁束分布図は高い出力ほど明るくなり、低い出力ほど暗くなっている。

図 2-23 から回転数の増加に伴い、垂直方向に像の歪みが大きくなっており、読み出し速度の増加に伴い像の歪みが小さくなっていることがわかる。特に 244fps・3000rpm において像の歪みが顕著である。976fps・3000rpm では目に見える程の歪みは無いが、読み出し速度の高速化とモーターの回転の影響により像が円形になっていない。

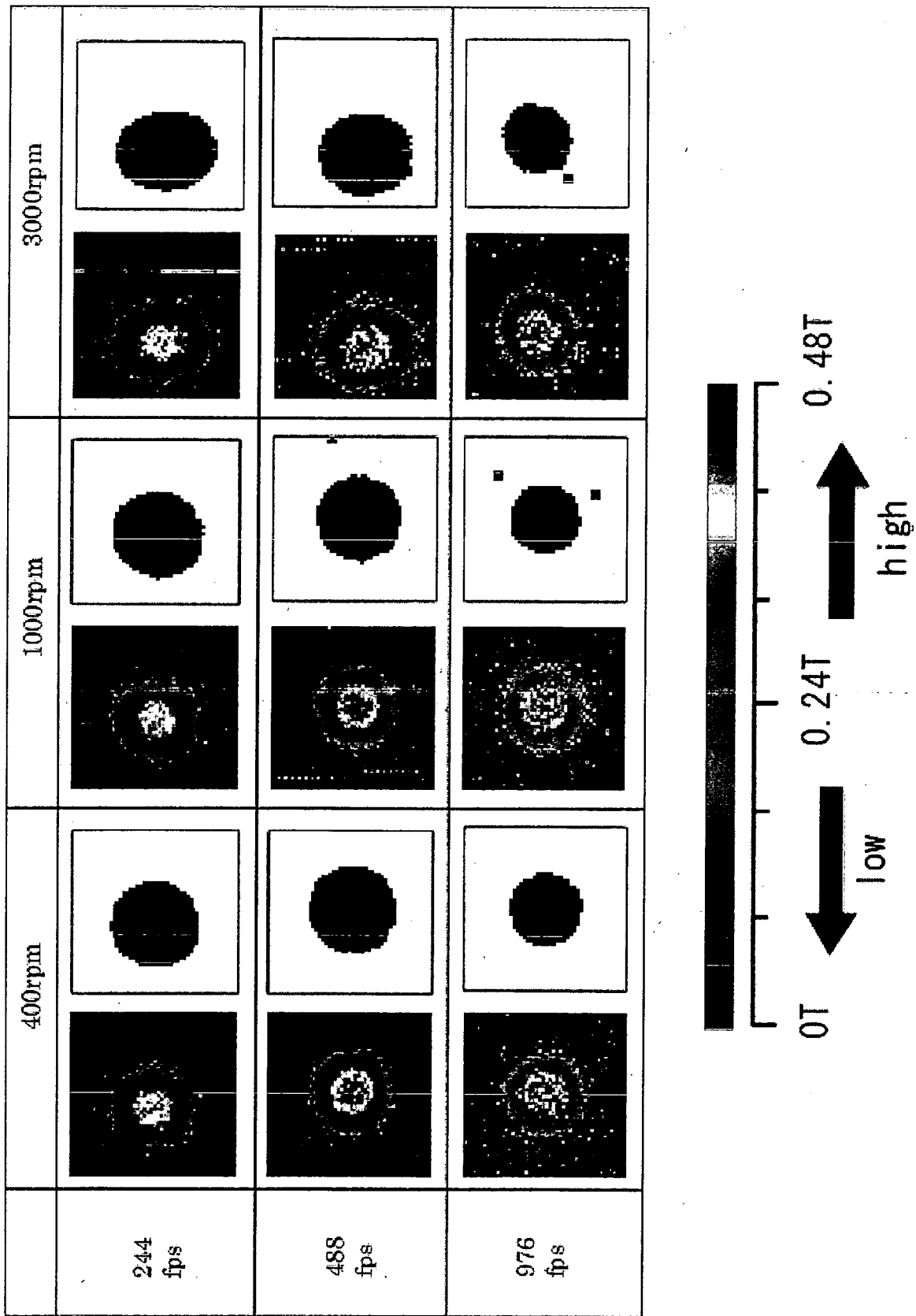


図 2-23 二次元磁束分布図の測定結果

また、二値化処理を施したデータは 976fps からノイズの影響が始め、それ以上の読み出し速度ではノイズの影響を大きく受けるため有効な二値化画像が得ることができなかつた。例として 1220fps の読み出し速度でモーター回転無しの二値化したデータを図 2-24 に示す。よって、本研究では 976fps までの読み出し速度における像の歪みの算出と円形のパターンによる歪みの検出を行った。

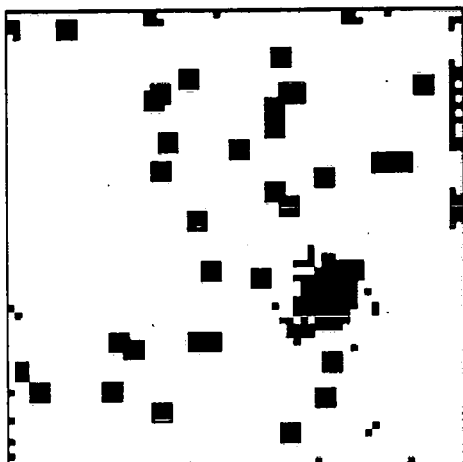


図 2-24 1220fps・0rpm の二次元磁束分布図
特徴抽出

まず、1 枚撮像する間に磁石が移動する距離 c を読み出し速度から算出した。その結果と、図 2-23 の二値化画像の黒(1)の像の垂直方向の長さ b 、全体の垂直方向の長さ(a)から、式(4)を用いて歪みの算出を行った。計算の結果を表 2-3 に示す。歪みの算出は 976fps の読み出し速度により 1000rpm で回転するモーターに取り付けられた磁石の二次元磁束分布図の誤差を 1 画素($50\mu\text{m}$)以下に抑えることができるという結果となった。しかし、一次試作集積化磁気センサチップでは 3000rpm で回転するモーターに取り付けられた磁石の磁束密度分布の誤差を 1 画素($50\mu\text{m}$)以内に抑えることが困難であることがわかった。

次に、図 2-23 の二値化した磁束分布図に対してパターンマッチングによって像の歪みを検出した。今回は円柱状の磁石を使用したので、円のパターンと比較を行った。比較方法は、二値化画像の黒(1)の水平方向の長さを直径とした円のパターンを重ね合わせることで歪みを検出した。円形パターンとの比較によって求められた各読み出し速度・回転数における像の歪みを表 2-4 に示す。

表 2-3 歪みの計算結果

		回転数[rpm]		
fps	歪みの大きさ	400rpm	1000rpm	3000rpm
244	[μm]	67.02	187.67	643.44
	[Pixel 数]	1.34	3.75	12.87
488	[μm]	30.83	93.84	291.56
	[Pixel 数]	0.62	1.88	5.83
976	[μm]	15.42	43.57	125.67
	[Pixel 数]	0.31	0.87	2.51

表 2-4 歪みの円形パターンによる検出結果

		回転数[rpm]		
fps	歪みの大きさ	400rpm	1000rpm	3000rpm
244	[μm]	50	200	600
	[Pixel 数]	1	4	12
488	[μm]	50	100	250
	[Pixel 数]	1	2	5
976	[μm]	0	100	150
	[Pixel 数]	0	2	3

表 2-4 から、歪みの円形パターンによる検出は 976fps の読み出し速度により 400rpm で回転するモーターに取り付けられた磁石の二次元磁束分布図の誤差を 1 画素($50\mu\text{m}$)以下に抑えること

ができるという結果となった。以上の結果から、400rpm で回転するモーターの制御に用いることが可能である。

C. 2. 6. 4 実験結果と考察

測定の結果、976fps の読み出し速度により 400rpm で回転するモーターまで制御可能であり、歪みの Pixel 数が回転数に比例して増加していることから 3000rpm で回転するモーターを制御するには約 8 倍(7808fps)の読み出し速度があれば十分であると考えられる。また、計算による算出結果では 976fps・1000rpm における二次元磁束分布図の像の歪みは $43.57\mu\text{m}$ と 1 画素以内に収まる結果となっていたが、円のパターンとの比較の結果では $100\mu\text{m}$ の誤差となった。これは 1 画素の誤差を判別することが非常に困難であることや、ノイズの影響による画質の劣化が原因と考えられる。

二次元磁束分布図に発生したノイズは大きく分類して二種類あると考えられる。モーターで発生し、磁束印加装置に誘導されるノイズとセンサチップ固有のノイズである。前者はモーターの回転速度を上げることで顕著となり、1000rpm を超えると列に沿ってノイズが現れ始める。磁石を近づけずモーターだけを近づけた磁気センサ上に発生したノイズを図 2-25 に示す。

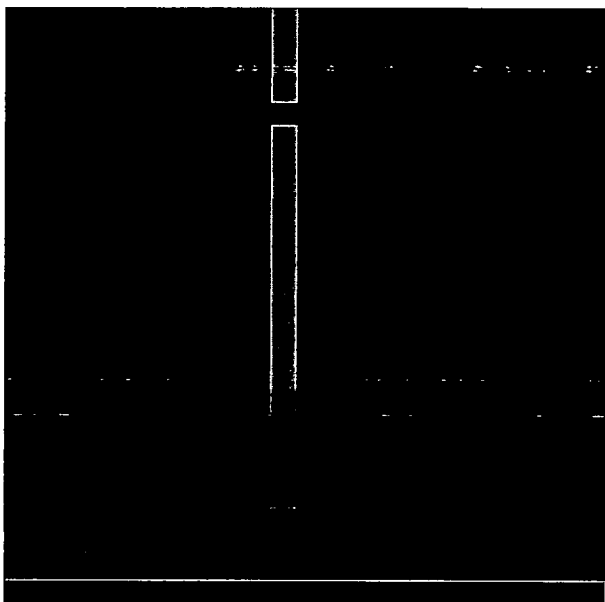


図 2-25 モーターの高速回転が原因で発生するノイズ

磁石を近づけていない場合、本来では黒い画像になるはずである。しかし、モーターを取り付けたことによって発生するようになったノイズにより一列にわたって高い出力が現れている。これはモーターを接近させることで誘導されるノイズが原因であると考えられ、測定系を改善することで抑えることが可能である。後者は、水平ドライバのトランジスタスイッチの駆動力不足や 2 段のソースフォロアや一次試作センサ基板上の差動

増幅回路に入力される前のホールセンサからの出力電圧の低さが原因でノイズの影響を大きく受けていると考えられる。

上記の問題を受けて、本研究では一次試作集積化磁気センサチップを高速読み出しに重点を置いて改良した二次試作集積化磁気センサチップの設計を行った。このとき、読み出し速度の目標は現在鮮明な二次元磁束分布図が得られる 976fps の 8 倍である 7808fps とした。

C. 3 集積化磁気センサの三次試作

C. 3. 1 二次試作からの改良点

三次試作の集積化磁気センサは二次試作で問題となった読み出し速度を向上させることに重点を置いて設計した。三次試作の主な特徴はホール素子の構造を改善することによる出力電圧の向上と、並列読み出しによる高速読み出し、差動増幅回路の同一チップ上への集積化である。

C. 3. 1. 1 構造の最適化

これまでの研究により、MOSFET の反転層を利用したホール素子の最適な出力端子位置が判明している。MOSFET の反転層を利用したホール素子からの電圧は、出力端子が中央に配置されている時と比較して、端子位置がソースに近いほど低く、端子位置がドレインに近いほど高くなる。これはドレイン-ソース間の電位差によって反転層の厚さが変化していることが原因であると考えられる。そのため、ドレイン近傍に出力端子を配置することによって約 20%出力電圧が向上することがわかっている。出力端子位置と出力電圧比の関係を図 3-1 に示す。図 3-1 では、素子の中央(0 μm)に端子を配置した際の出力電圧を 100%として比率で表してある。また、このときのゲート長は 13.2 μm である。

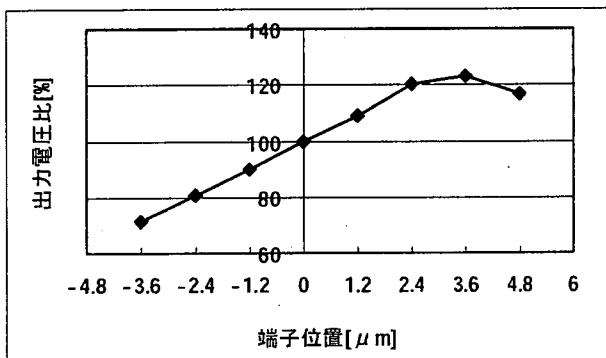


図 3-1 出力端子位置と出力電圧比の関係

三次試作の磁気センサのゲート長 13.2 μm とし、出力端子をドレインから 3.0 μm の位置に配置した(中央から 3.6 μm)。端子位置を図 3-2 に示す。

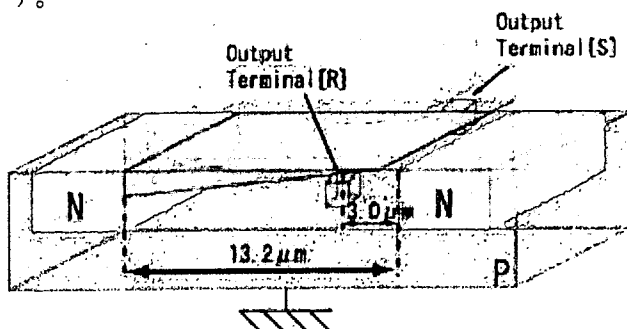


図 3-2 MOSFET を利用したホール素子の最適な端子位置

C. 3. 1. 2 読み出しの並列化

三次試作の磁気センサチップにおける出力電圧の読み出しは 16 本の信号線による同時読み出しとなっている。二次試作は全て(64 列)の Pixel を 1 つのバンクとして 64 列の切り替えを行っていた。三次試作では 4 列の Pixel で 1 つのバンクとして、全体を 16 のバンクとして分割した。このとき、1 つのバンクでは 4 列の切り替えを行う。磁気センサの切り替えのブロック図を図 3-3 に示す。①ではそれぞれのバンクで水平ドライバの 1 列目を読み出し、2 列目(②)、3 列目(③)と切り替えながら読み出す。④の 4 列目まで読み出しを終えると次の行の 1 列目へと移行する。

これにより二次試作の磁気センサチップと比較して水平ドライバの速度が 1/16 に軽減され、トランジスタスイッチの駆動力不足が解消できる。よって水平ドライバの速度を変更しなくても、理論上では二次試作の 16 倍の読み出し速度が達成可能である。

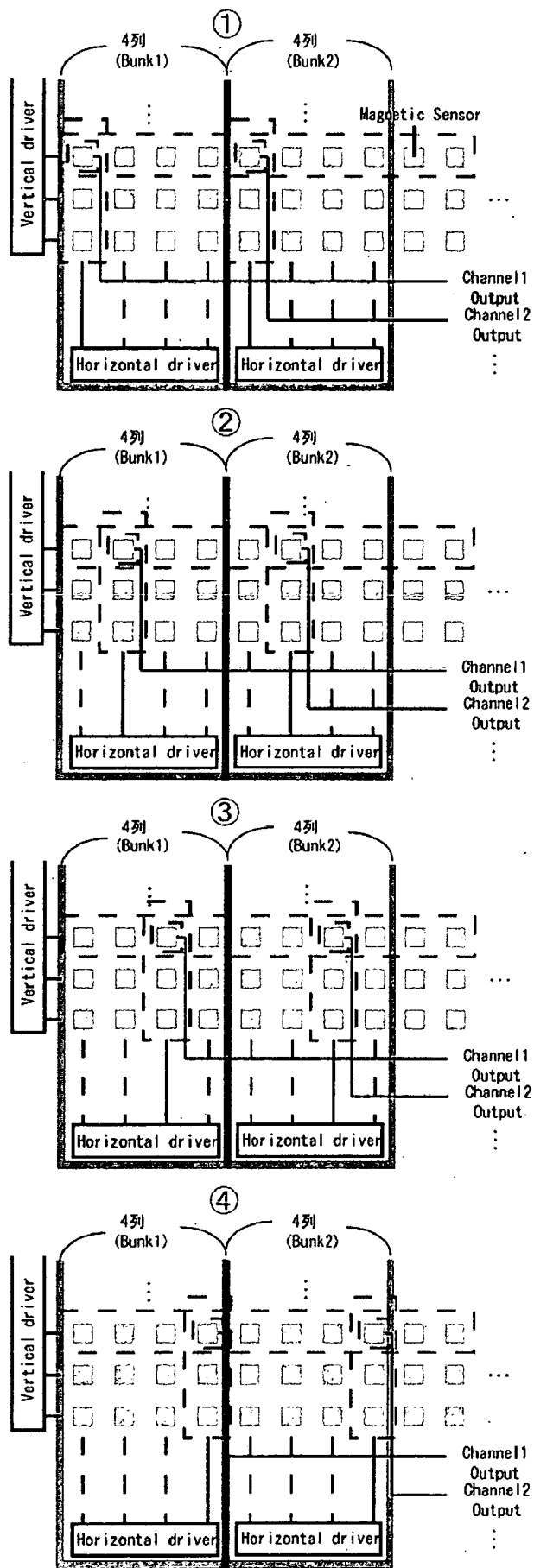


図 3-3 16 チャンネル読み出し

C. 3. 2 三次試作の概要

三次試作の磁気センサチップは二次試作と同様にチップサイズ 4.9mm²であり、50 μ m²の磁気センサが 64 \times 64 のアレイ状に配置されている。プロセスは ROHM 社 0.35 μ m 標準 CMOS プロセスルールで、2 層ポリ 3 層メタル構造である。チップ写真を図 3-4 に示す。

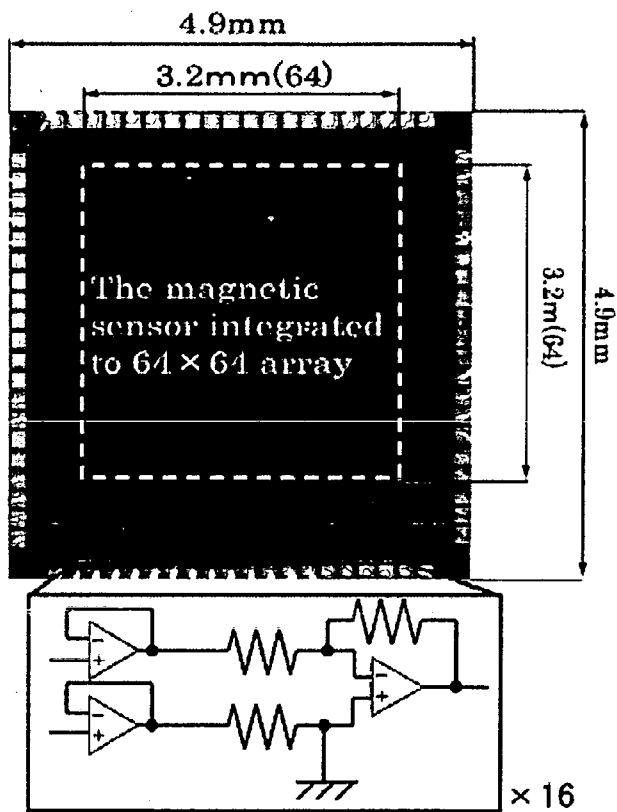


図 3-4 三次試作磁気センサチップ写真

二次試作の磁気センサチップでは、二つの出力端子からの信号をチップ外で 20 倍の差動増幅を行っていたが、三次試作では同一チップの下部に集積化した。図 3-4 中の点線赤枠内に同図中赤枠内のボルテージフォロアと 20 倍の差動増幅回路が 16 チャンネル分集積化されている。また、読み出し信号線の出力バッファを並列に配置することで増強したため、二次試作と比較してノイズの影響を小さくできると考えられる。

C. 3. 3 読み出し回路

三次試作の回路図を図 3-5 に示す。三次試作において行選択は一次試作と同様に Pixel 内で P 型ソースフォロアの構造のトランジスタスイッチによって行っており、列の選択は前節で述べた様に 16 個の水平ドライバ内にある N 型ソースフォロアの構造のトランジスタスイッチによって行っている。Pixel からの 2 つの出力はそれぞれチップ上でオペアンプによるボルテージフォロアを通し、作動増幅回路によって 20 倍に増幅して

16 チャンネル同時にホール電圧としてチップから出力される。その後、チップ外でバッファ回路とインピーダンスマッチング用の抵抗器を通して出力される。また、 V_{pb} と V_{nb} は各ソースフォロ

アのアクティブロードへのバイアスであり、 Col 、 Sel はそれぞれ列と行の選択信号である。

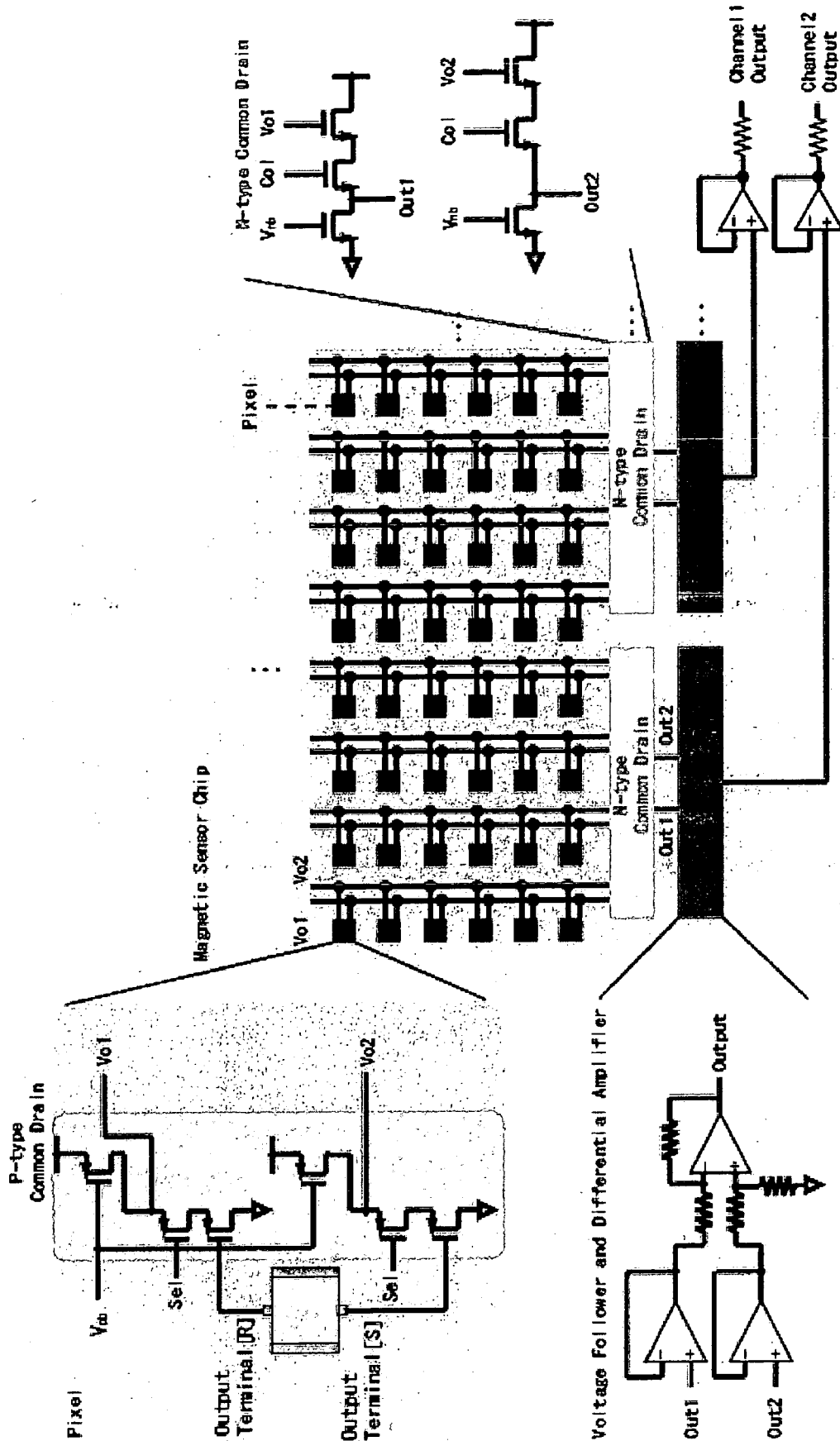


図3-5 二次磁界磁気センサチップ回路図

C. 3. 4 三次試作のチップ搭載基板の設計

三次試作磁気センサチップを磁束印加装置に固定できるように二次試作のチップを搭載する基板(以下、三次試作センサ基板)の設計を行った。設計は株式会社インフローの CAD ソフトウェア Cadlus X 用いて行った。三次試作センサ基板の設計図を図 3-6 に、作製された基板を図 3-7 に示す。

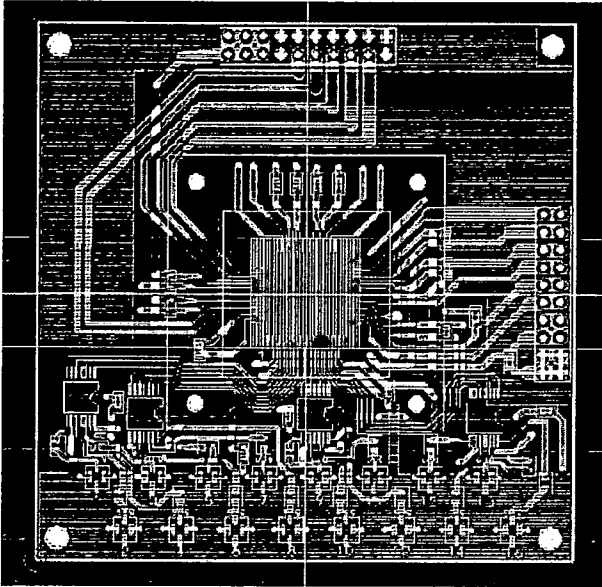


図 3-6 基板の設計図

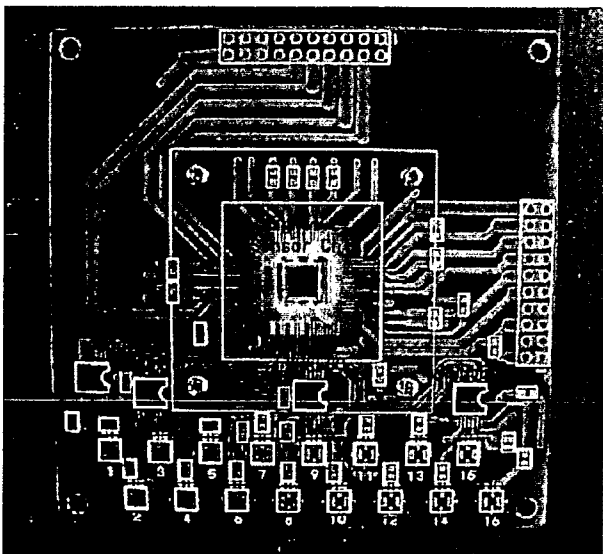


図 3-7 作製された基板

基板は二次試作と同様に非磁性の材料のみを用いて設計し、アルミニウムの土台を取り付けた。基板中央に磁気センサチップが配置されており、チップからの 16 チャンネルの出力はそれぞれ三次試作センサ基板上のバッファ回路、50 Ω の抵抗を通して同軸コネクタに出力される。バッファ回路は National Semiconductor 社製の LMH6560 を

使用した。LMH6560 は 4 チャンネルのバッファ回路を内蔵しているので、三次試作集積化磁気センサチップは 16 チャンネルの信号を出力するため 4 個必要とした。同軸ケーブル・コネクタはヒロセ電機株式会社製の W.FL シリーズを使用した。W.FL シリーズ同軸ケーブルは特性インピーダンスが 50 Ω であるため、50 Ω の抵抗器によってインピーダンス整合を図った。付録に設計した三次試作センサ基板の回路図を示す。

C. 3. 5 測定用基板の設計

二次試作ではデータの転送に 20MB/s のデータ転送速度を持つインターフェイスを使用していた。しかし、20Mbps のデータ転送速度では 4882fps が限界であることから目標値である 7808fps での読み出しは不可能である。よって、本研究では 16 チャンネルのデータを AD 変換後にメモリへ一時的に保存し、速度を落として順番に読み出す測定基板を設計した。信号の流れの概要を図 3-8 に示す。

測定基板は全体を制御する制御基板(以下、制御基板)とデータの AD 変換と書き込み・読み込みを制御する ADC 基板(以下、ADC 基板)で構成され、ADC 基板 1 枚につき 4 チャンネル分の信号を処理する。制御基板は PC から信号を受けて ADC 基板とセンサの制御を行い、制御基板からの信号を受けた ADC 基板は ADC、メモリの制御を行う。また、制御基板とセンサ基板は 20 極のケーブルで、制御基板と ADC 基板は 40 極のリボンケーブルで接続している。測定のイメージを図 3-9 に示す。

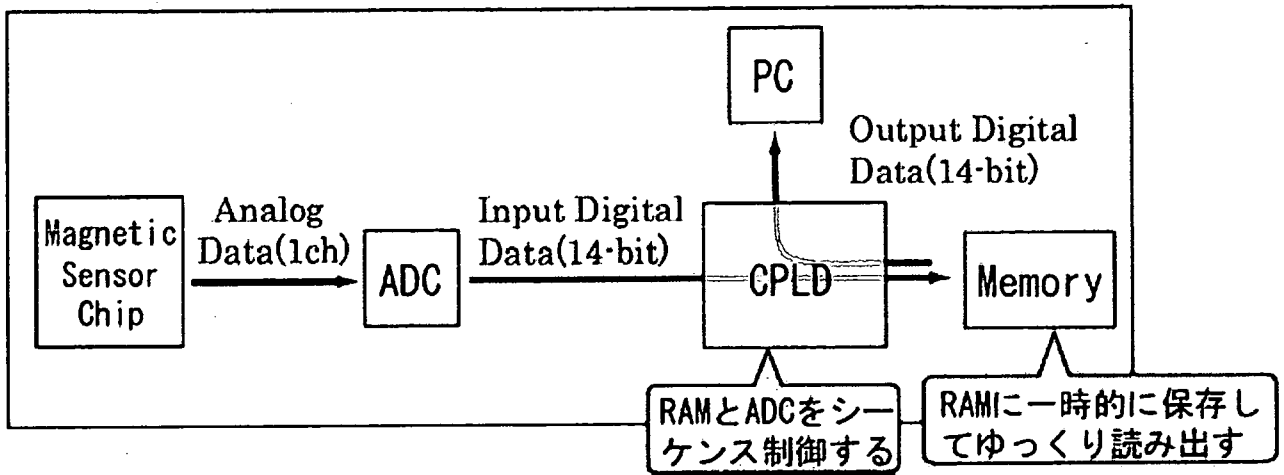


図 3-8 信号の流れ概要

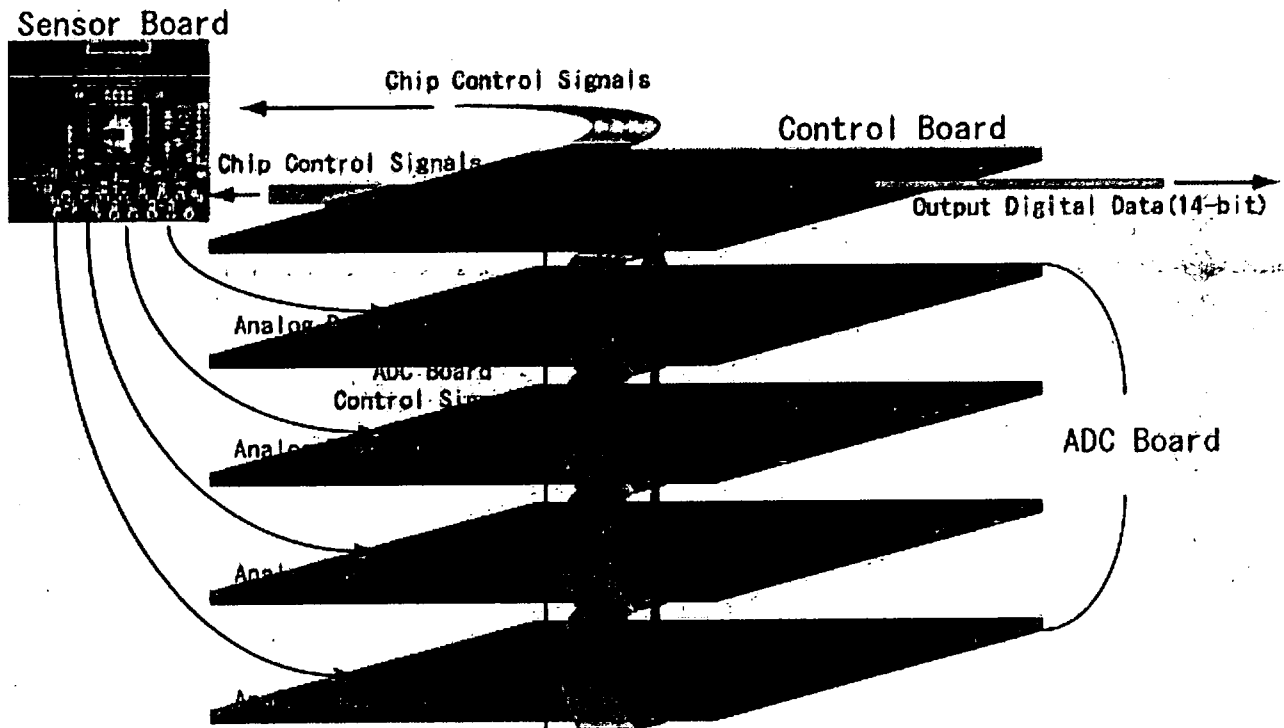


図 3-9 測定のイメージ

C. 3. 5. 1 制御基板の設計

全体を制御する制御基板はチップを配置する基板と同様にインフロー社の Cadlus X によって

設計された。制御基板の設計図を図 3-10 に、写真を図 3-11 に示す。

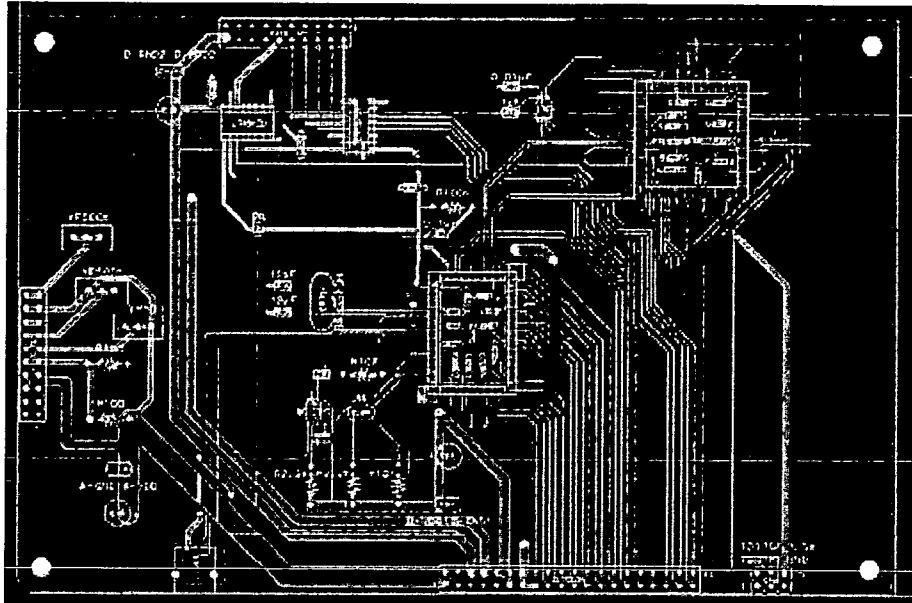


図 3-10 制御基板の設計図

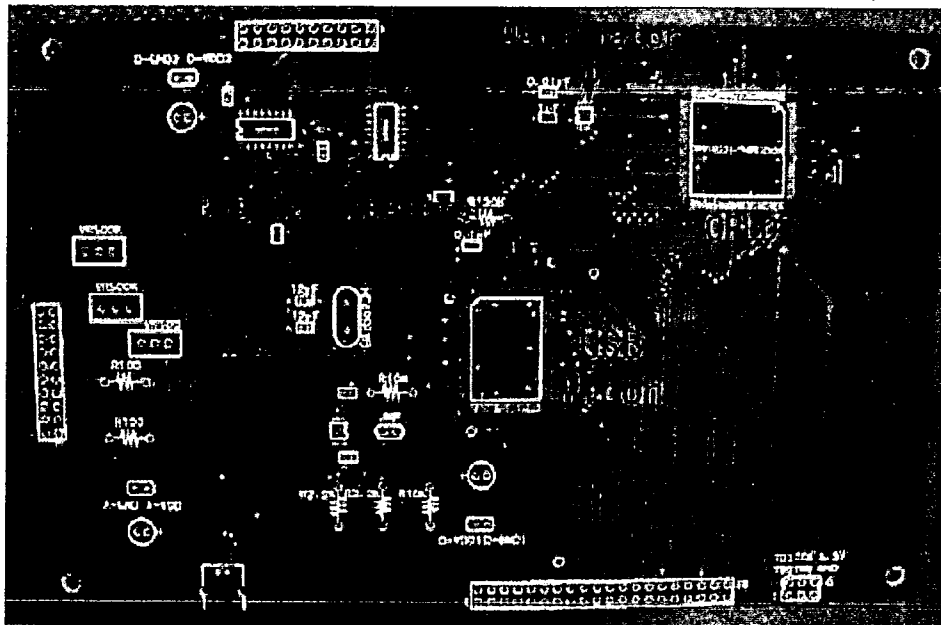


図 3-11 作製された制御基板

制御基板の中央に USB マイコン、右上に CPLD(Complex Programmable Logic Device)とオシレータ、左上にデジタルアイソレータが配置されている。USB マイコンは Cypress 社製の CY7C68013A-128、CPLD は Xilinx 社製の XCR3128、オシレータは LinearTechnology 社製の LTC6903、デジタルアイソレータは NVE 社製の IL715 を使用した。付録に設計された制御基板の回路図を示す。

制御基板の信号の流れを図 3-12 に示す。制御基板は、PC からの入力を USB コネクタで受け、磁気センサと ADC 基板を制御する役割を持たせた。制御基板の書き込み制御時と読み込み制御時のセンサ基板・ADC 基板の制御は、PC からの入力を USB マイコンが受け取ることで行う。また、USB マイコンはオシレータの制御を行い、CPLD へ任意の周波数のクロック信号を入力する。磁気センサの読み込み速度はクロック信号の周波数によって決定する。

PCからの入力を受けたUSBマイコンはCPLDにメモリへのデータ書き込み制御開始信号を出力する。それを受けたCPLDはセンサ制御信号とADC基板制御信号を磁気センサチップとADC基板へ出力する。また、センサ制御信号は制御基板上のデジタルアイソレータを通して出力する。ADC基板でメモリへのデータ書き込み動作が終了すると、制御基板のCPLDはUSBマイコンに書き込み制御終了信号を出力し、USBマイコンによって書き込み制御開始信号が停止されることで書き込みの制御を終了する。同様に、読み込み

もUSBマイコンからCPLDに読み込み制御開始信号が入力されることで開始する。CPLDはそれを受けてADC基板の制御を行い、ADC基板から40極のリボンケーブルを通して14-bitのデジタル信号が入力される。14-bitのデジタル信号はUSBマイコンによってUSBコネクタを通してPCへ出力される。全てのデータの読み込みが終了するとCPLDはUSBマイコンに読み込み制御終了信号を出力し、USBマイコンによって読み込み制御開始信号が停止されることで読み込みの制御を終了する。

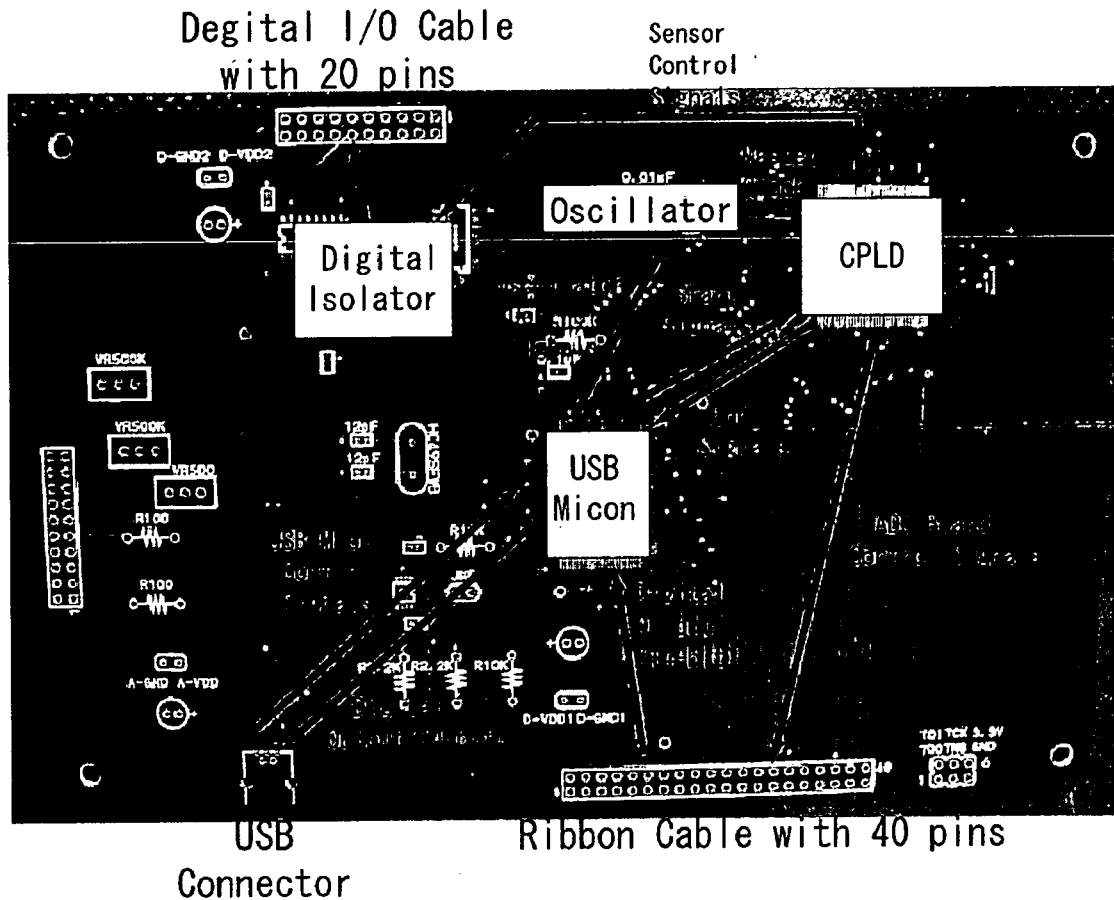


図 3-12 制御基板の信号の流れ

C. 3. 5. 2 ADC 基板の設計

ADC 基板もセンサ基板・制御基板と同様にインフロー社の Cadlus X によって設計を行った ADC 基板の設計図を図 3-13 に、写真を図 3-14 に示す。

今回設計した ADC 基板は、1 枚の基板で 4 チャンネルの信号を ADC で AD 変換すると同時に 2 チャンネルの信号に時分割し、それぞれ CPLD を経由してメモリに保存する構造となっている。そのため、三次試作磁気センサの画像を 1 枚得るには 16 チャンネルの信号を処理する必要があるため 4 枚の ADC 基板が必要である。ADC 基板の左側はアナログ領域、右側はデジタル領域となっており、基板上左から順に非反転増幅回路×4、ADC

×2、デジタルアイソレータ×8、CPLD×1、メモリ×2 と配置されている。非増幅回路に用いたオペアンプは LinearTechnology 社製の LT6200、ADC は AnalogDevices 社製の AD9248、CPLD は Xilinx 社製の XC2C256、メモリは Integrated Circuit Solution 社製の IC61LV25616 を使用した。付録に設計した ADC 基板の回路図を示す。

ADC 基板での書き込み動作時、チップから入力された 4 チャンネルのアナログデータは 4 個の非反転増幅回路によってそれぞれ 2 倍に増幅し ADC へ入力する。今回使用した ADC は 1 つのパッケージに 2 つの ADC を内蔵するタイプで、2 チャンネルのアナログデータを 14-bit のデジタルデータに変換すると同時に 1 チャンネルの信号に時

分割する。ADC からの出力はデジタルアイソレータと CPLD を通してメモリへ入力される。読み込み動作時は、CPLD によって出力するメモリを選択することで 8 個のメモリ(ADC 基板 4 枚分)のデータを 1 チャンネルに時分割し、リボンケーブルを通して制御基板に出力する。

ADC 基板の信号の流れを図 3-15 に示す。ADC 基板は、制御基板からの制御信号を受けて、ADC とメモリを制御する役割を持たせた。ADC 基板のメモリへのデータを書き込む時とメモリからデータを読み込む時の ADC とメモリの制御は、制御基板から書き込みの制御信号の入力をリボンケーブル経由で CPLD が受け取ることで行う。制御基板からの入力を受けた ADC 基板上の

CPLD は ADC とメモリの制御信号を出力し、14-bit のデジタル信号に AD 変換したデータをメモリへ書き込む。このとき、データは AD 変換後にデジタルアイソレータと CPLD を通してメモリに入力する。必要とするデータ数が集まると CPLD はメモリの書き込みと ADC の制御を停止する。その後、制御基板から読み込みの制御信号が入力されることで読み込み動作へ入る。読み込みの制御信号を受けた CPLD はメモリ制御信号を出力し、メモリはデジタルデータの出力を開始する。必要とする数のデータの出力が終了するとデータの出力を停止する。

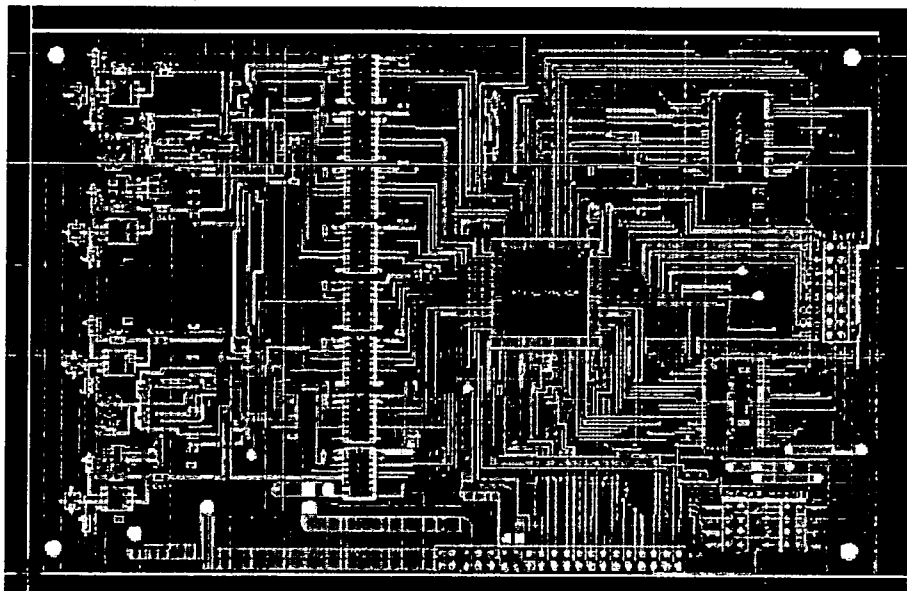


図 3-13 ADC 基板の設計図

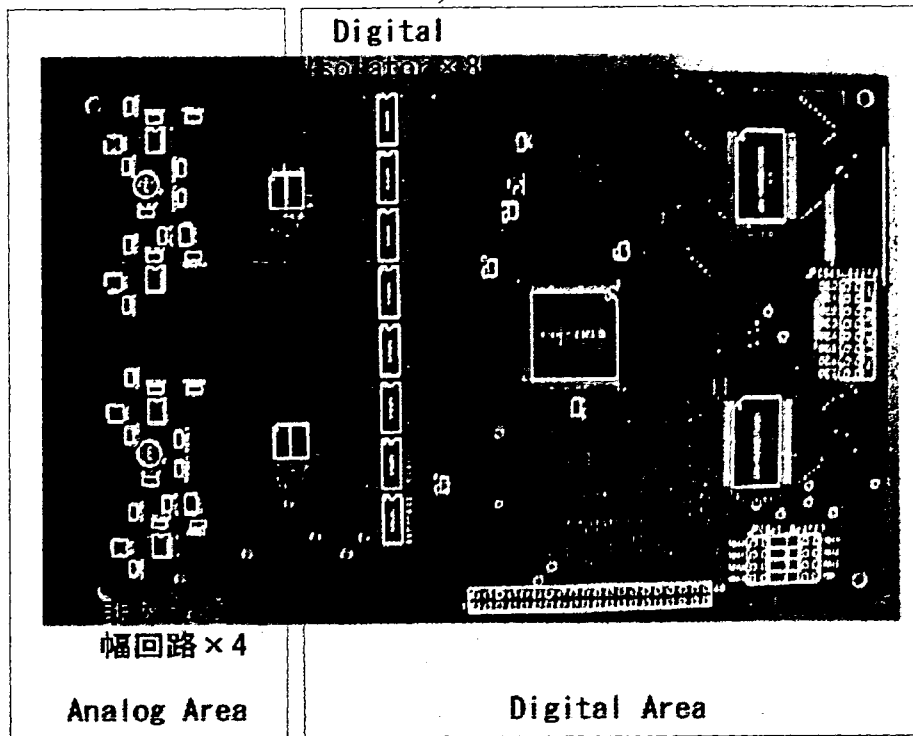


図 3-14 作製された ADC 基板

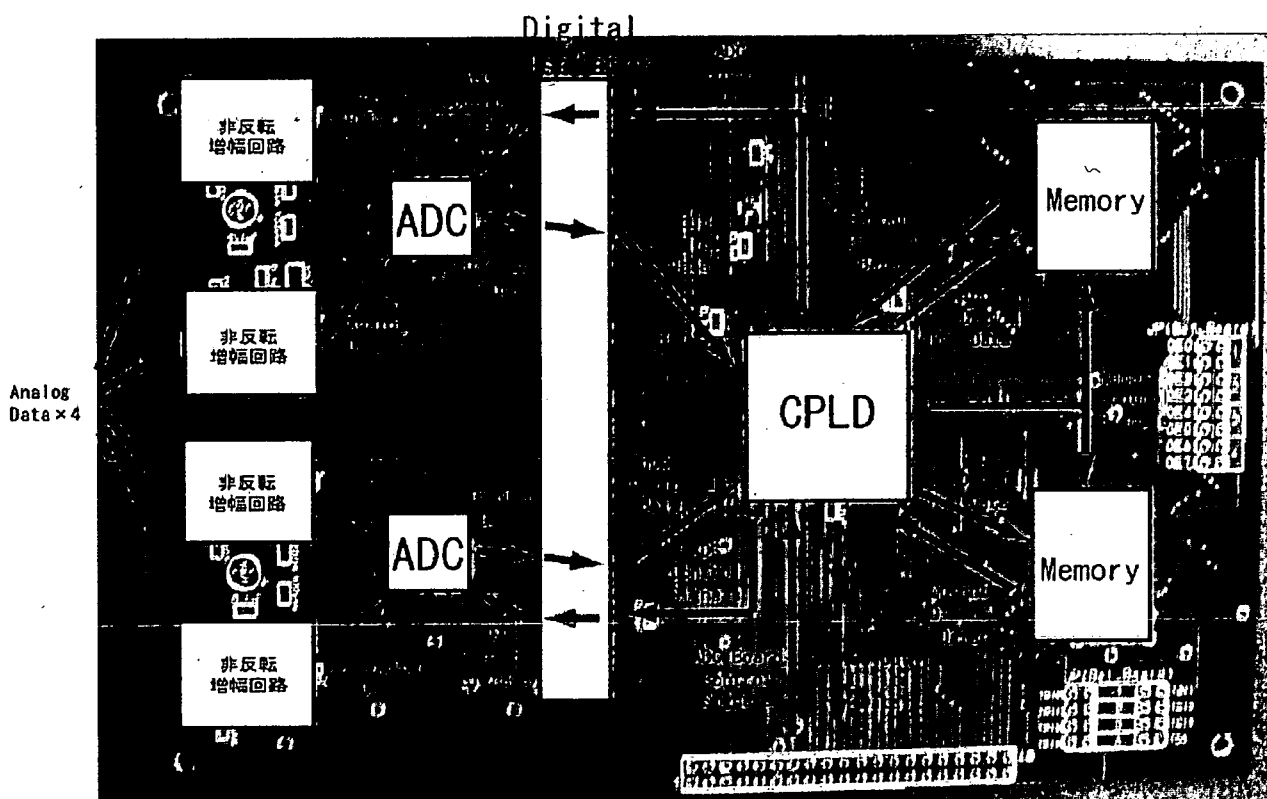


図 3-15 ADC 基板の信号の流れ

C. 3. 6 CPLD の設計

制御基板・ADC 基板の両者に配置した CPLD を Xilinx 社の Xilinx ISE 9.2i というソフトウェアを用いて VerilogHDL で設計した。メモリへの書き込みはセンサの制御クロックに合わせた速

度で行い、書き込み終了後に USB マイコンが出力する読み出しクロックで速度を落として読み出すように設計した。また、制御基板の CPLD は USB マイコンが書き込み・読み込みの命令を入力するまで、ADC 基板の CPLD は制御基板の CPLD が書き込み・読み込みの命令を入力するまでリセ

ット状態で待機するようにした。

C. 3. 6. 1 制御基板の CPLD の設計

制御基板の CPLD の役割はセンサの制御、ADC 基板の CPLD の制御、USB マイコンとのやり取りであり、USB マイコンから Write か Read が入

力されるまで自身を Rst により初期状態を保つように設計した。この節では制御基板の CPLD の動作を説明する。制御基板の CPLD で用いた信号を表 3-1 に、CPLD の書き込み制御のタイミングチャートを図 3-16 に示す。

表 3-1 全体を制御する基板の CPLD で用いた信号一覧

信号名	概要
Rst	制御基板の CPLD を初期状態に戻すリセット信号
Write	USB マイコンからの書き込み開始信号
Col-clk	チップの水平ドライバへのクロック
Sel-clk	チップの垂直ドライバへのクロック
G-in	センサを駆動する入力
Sel-in	センサの P 型トランジスタスイッチへの入力
Col-in	センサの N 型トランジスタスイッチへの入力
W-start	ADC 基板の CPLD への書き込み開始信号
W-end	USB マイコンへの書き込み終了信号
Read	USB マイコンからの読み込み開始信号
R-start	ADC 基板の CPLD への読み込み開始信号
R-end	USB マイコンへの読み込み終了信号
Read-clk	USB マイコンからの読み込みクロック
R-clk	ADC 基板への読み込みクロック

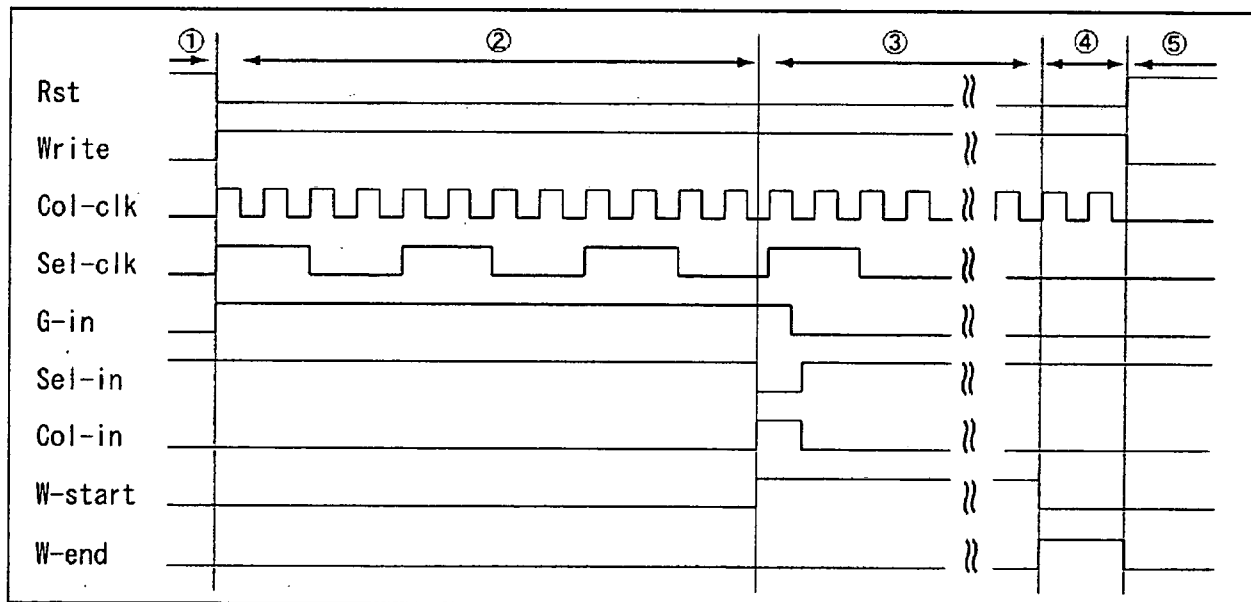


図 3-16 書き込み制御のタイミングチャート(制御基板)

センサの制御は Sel-clk、Col-clk、G-in、Sel-in、Col-in で行う。センサの列切り替えは行切り替えの 4 倍の周期で行われるため、Col-clk は Sel-clk の 4 倍の周期である。Col-in、Sel-in は、それぞれ Col-clk、Sel-clk の立ち上がりエッジで次の列・行に入力され、列・行の切り替えを行う。ま

た、G-in はセンサの 1 行目のみに入力されており、Sel-in と同様に Sel-clk の立ち上がりエッジによって次の行へ入力される。今回はダイナミックドライブ方式により 4 行駆動させて測定を行うため、CPLD は G-in を Sel-clk の立ち上がりエッジを 3 回入力するまで入力し続ける。

まず、USB マイコンから Write が入力されるまで Rst により初期状態を保つ(①)。Write が入力されることで Sel-clk、Col-clk、G-in をセンサに入力してセンサの駆動を開始する(②)。Sel-clk の4回目の立ち上がりエッジに合わせてセンサへ Col-in、Sel-in の入力、G-in の停止を行う。また、同時に ADC 基板へ W-start を入力する。これ以降、センサからアナログデータが ADC 基板に出

力される(③)。ADC 基板上でメモリへのデータの保存が終了すると制御基板は W-start を停止して ADC 基板の書き込み動作を停止すると同時に W-end を USB マイコンに出力する(④)。W-end を受け取った USB マイコンは Write を停止し、制御基板の CPLD は Rst で初期状態となる(⑤)。

次に、CPLD の読み込み制御のタイミングチャートを図 3-17 に示す。

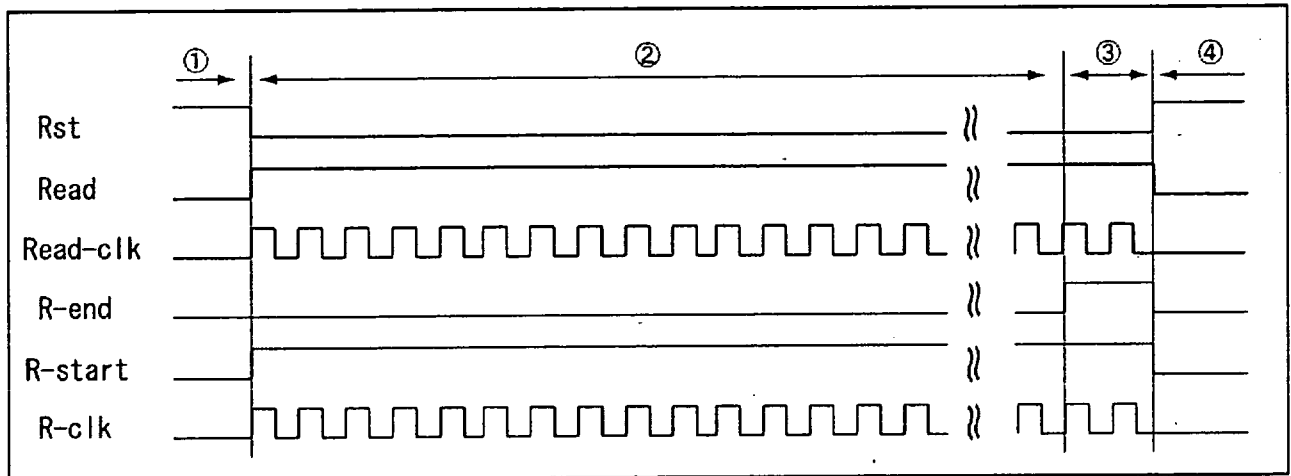


図 3-17 読み込み制御のタイミングチャート(制御基板)

読み込み制御は USB マイコンから Read と Read-clk が入力されると開始し、それまでは Rst によって初期状態が保たれている(①)。また制御基板の CPLD に入力された Read と Read-clk をそれぞれ R-start と R-clk として ADC 基板の CPLD に入力し、ADC 基板の読み込み動作を開始させる(②)。必要とするデータ数の読み込みが終了すると制御基板の CPLD は R-end を USB マイコンに出力し(③)、USB マイコンが Read と R-clk を停止することで制御基板の CPLD は Rst

で初期状態となる(④)。

制御基板の CPLD のシミュレーションを Xilinx ISE9.2i を用いて行った。すべてのシミュレーションは磁気センサの読み出し速度を 7808fps、読み出しクロックを 1M[Hz]と設定して行った。制御基板の書き込み制御信号のシミュレーション結果を図 3-18、図 3-19 に示す。また、図中の M_clk はオシレータから CPLD に入力されるクロック信号で、磁気センサの読み出し速度が 7808fps のとき 16MHz となる。

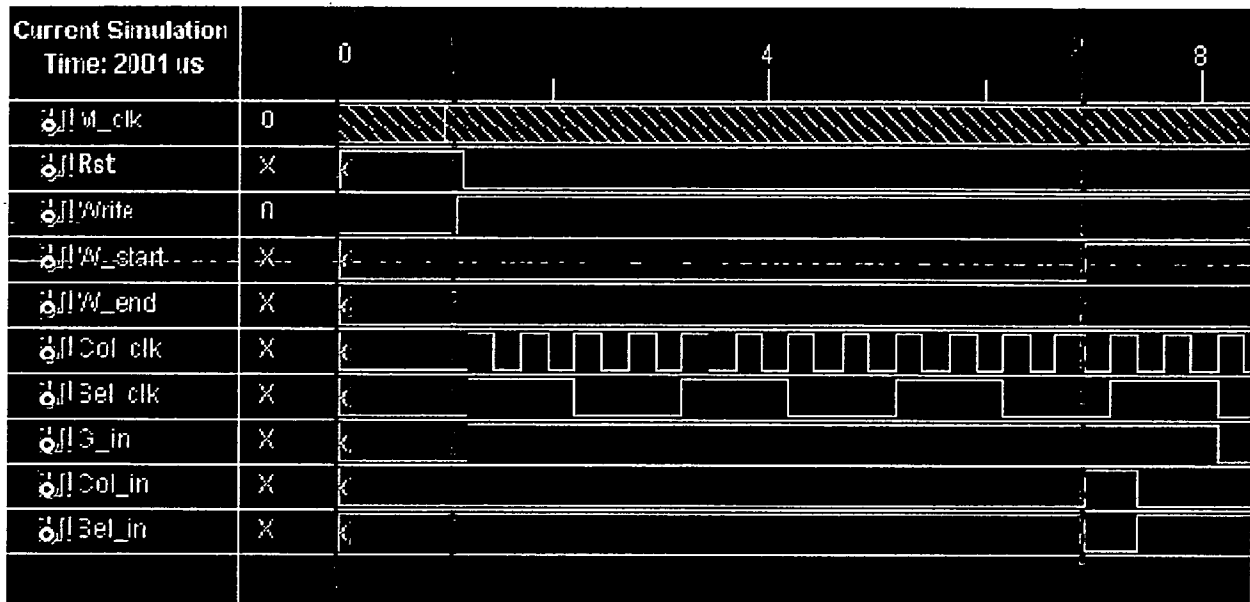


図 3-18 書き込み制御開始時の信号のシミュレーション結果(制御基板)

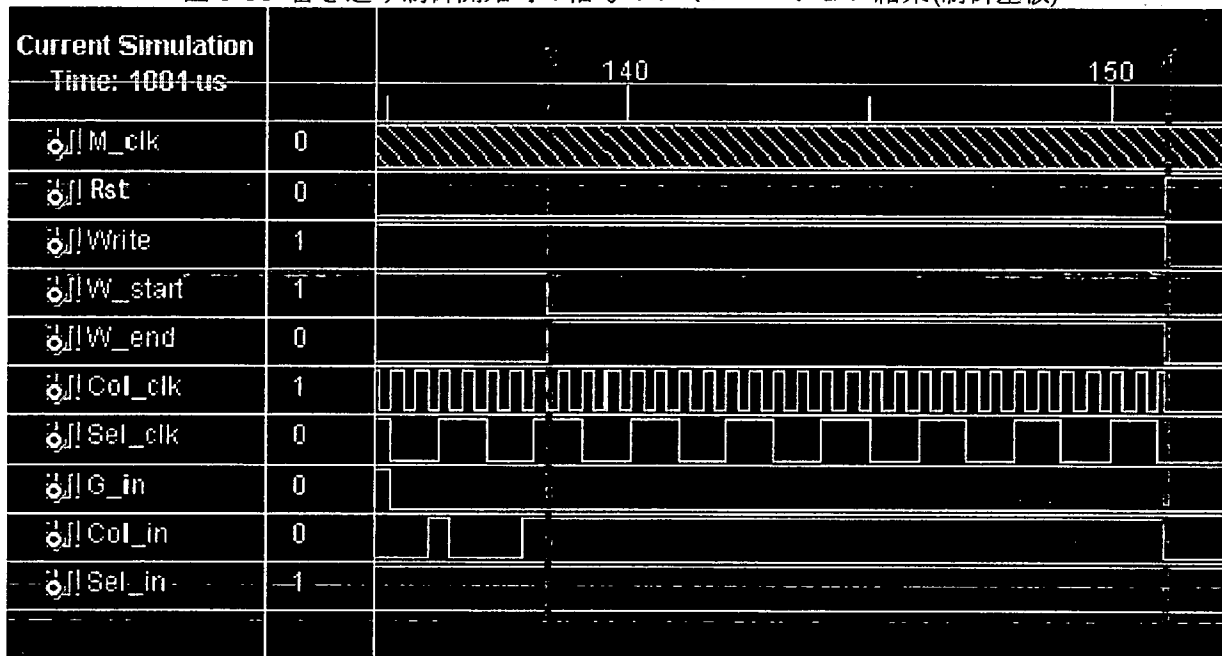


図 3-19 書き込み制御終了時の信号のシミュレーション結果(制御基板)

図 3-18 の①で Write が入力されることで、Col-clk、Sel-clk、G-in の出力を開始し、②で Sel-clk の 4 回目の立ち上がりエッジに合わせて Col-in、Sel-in、W-start の出力と G-in の停止を行った。その後、Col-clk のカウント数がデータ数に達すると W-start を停止し、W-end を出力した(図 3-19 中の③)。W-end 出力後、Write が停止

されることで Rst によって初期状態となった(図 3-19 中の④)。図 3-18、図 3-19 から制御基板の CPLD の書き込み制御はタイミングチャート通りの動作を示していることがわかる。

次に、制御基板の読み込み制御時の信号のシミュレーション結果を図 3-20、図 3-21 に示す。

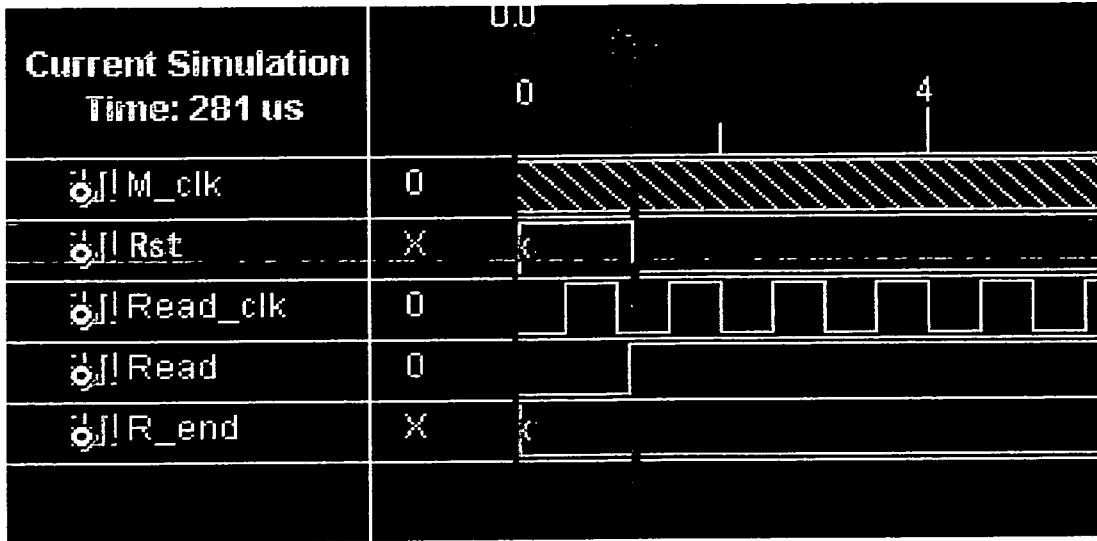


図 3-20 読み込み制御開始時の信号のシミュレーション結果(制御基板)

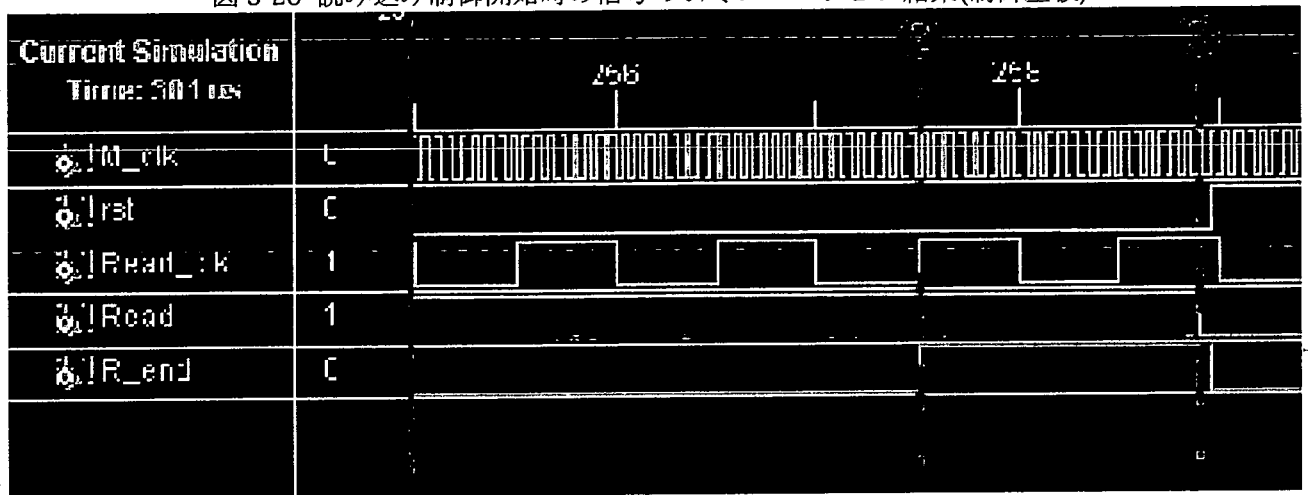


図 3-21 読み込み制御終了時の信号のシミュレーション結果(制御基板)

読み込みは Read と Read-clk が入力されることで開始した(図 3-20 の①)。R-clk のカウント数がデータ数に達すると読み込み終了になり R-end を出力した。R-end 出力後(図 3-21 の②)、Read が停止されることで Rst により初期状態となった(図 3-21 の③)。図 3-20、図 3-21 から、制御基板の CPLD の読み込み制御はタイミングチャート通りの動作を示していることがわかる。以上の結果から、制御基板の CPLD の設計が完了したといえる。

C. 3. 6. 2 ADC 基板の CPLD の設計

ADC 基板の CPLD の役割は ADC の制御、メモリの制御、データの制御である。1 枚の ADC 基板 1 個の CPLD で 4 チャンネルの信号を扱い、ADC により 2 チャンネルに時分割した後、2 個のメモリへそれぞれ保存する。読み出し時には 4 枚の基板にある 8 個のメモリから CPLD とジャンパピンで出力制御を行い、1 チャンネルに時分割して出力する。ADC 基板の CPLD で用いた信号を表 3-2 に、CPLD におけるメモリへのデータ書き込み動作のタイミングチャートを図 3-22 に示す。

表 3-2 ADC 基板の CPLD で用いた信号一覧

信号名	概要
rst	ADC 基板の CPLD を初期状態に戻すリセット信号
W-start	制御基板からの書き込み開始信号
OEB	ADC の出力許可信号
PDWN	ADC の動作制御信号
ADC-clk	AD 変換用クロック
WE	メモリの書き込み許可信号
A-clk	アドレス用クロック
R-start	制御基板からの読み込み開始信号
R-clk	制御基板からの読み込みクロック
OE 0-7	メモリの出力許可信号
Address	メモリのアドレス

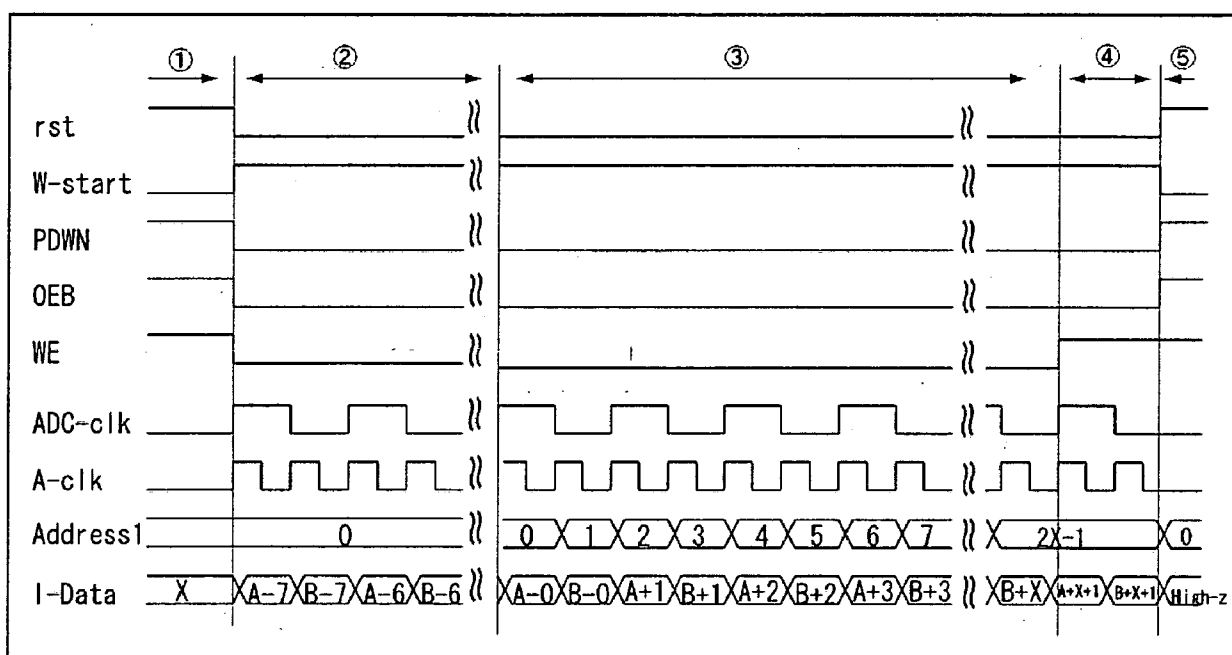


図 3-22 メモリへの書き込み動作のタイミングチャート(ADC 基板)

ADC 基板の CPLD は初期状態でリセットがかかっており、制御基板から W-start か R-start が入力されるまで初期状態を保つように設計した(①)。また、図 3-22 中の I-Data は ADC から CPLD へ入力される 2 チャンルのデジタルデータを表している。制御基板から W-start 入力されると、OEB、PDWN、ADC-clk、WE により ADC とメモリの制御を行う。このとき ADC は 2 チャンルの信号を時分割して出力するため、ADC-clk の立ち上がりとしり下り信号が切り替わるため、A-clk は ADC-clk の倍の周期で動作させた。また、ADC

の変換により ADC-clk の 7 周期分データが遅れて出てくるので(②)、遅延時間経過後にメモリのアドレスを A-clk に合わせて変化してメモリにデータを保存する(③)。データの保存が終了すると WE を停止して、メモリへの書き込みを終了する(④)。その後、制御基板によって W-start が停止されるのを待ち、W-start 停止後に ADC 基板の CPLD は rst で初期状態となる(⑤)。

次に、CPLD におけるメモリからのデータ読み込み動作のタイミングチャートを図 3-23 に示す。

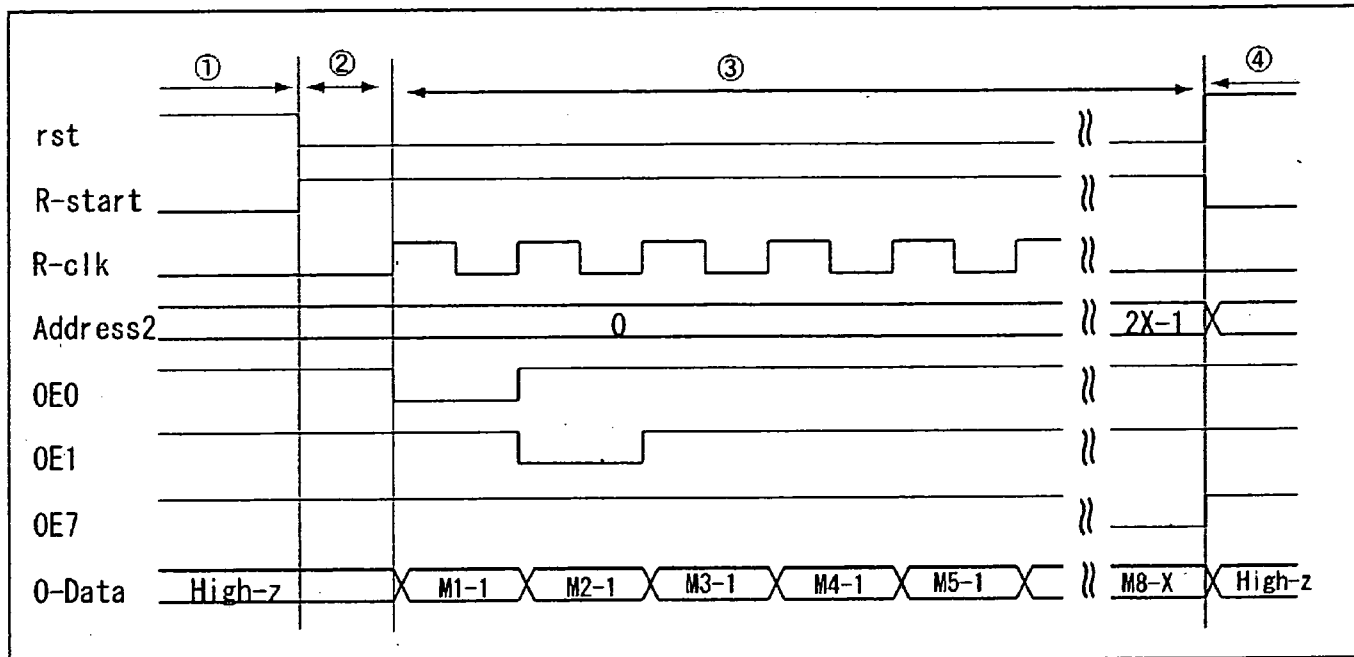


図 3-23 メモリからの読み込み動作のタイミングチャート

図 3-23 の O-Data は ADC 基板からリボンケーブルによって制御基板に入力される出力データであり、 M_x-y は x 個目のメモリの y 番目のデータを表している。読み込みは、制御基板の CPLD から R-start と R-clk が入力されることで開始する(①、②)。8bit の OE は R-clk に合わせて変化し、8 個のメモリを交互に出力するように制御してデータを読み出す(③)。データの読み込みが終了すると OE0~7 を停止し、メモリからのデータの読み込みを終了する(④)。その後、制御基板の CPLD によって R-start が停止されることで ADC

基板の CPLD は rst によって初期状態となる。

ADC 基板の CPLD のシミュレーションを XilinxISE9.2i を用いて行った。すべてのシミュレーションはチップの読み出し速度を 7808fps、読み出しクロックを 1M[Hz]と設定して行った。ADC 基板のメモリへの書き込み動作の信号のシミュレーション結果を図 3-24、図 3-25 に示す。また、図中の Sys_clk は制御基板における M_clk と同じ周波数のクロック信号である。