

出力される。その後、チップ外でバッファ回路とインピーダンスマッチング用の抵抗器を通して出力される。また、 V_{pb} と V_{nb} は各ソースフォロ

アのアクティブロードへのバイアスであり、Col、Sel はそれぞれ列と行の選択信号である。

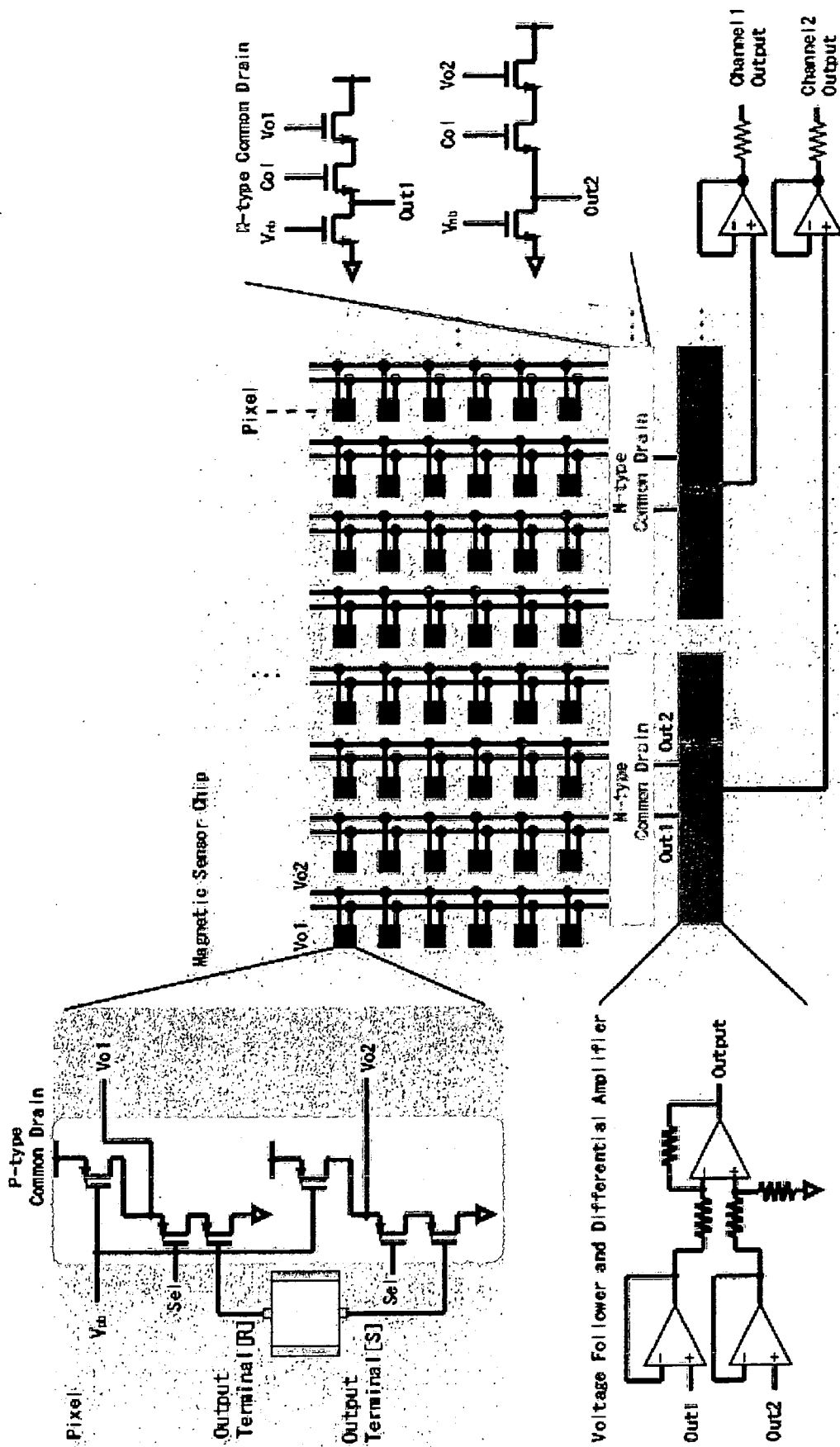


図3-5 ニ次磁気センサチップ回路図

C. 3. 4 二次試作のチップ搭載基板の設計

二次試作磁気センサチップを磁束印加装置に固定できるように二次試作のチップを搭載する基板(以下、二次試作センサ基板)の設計を行った。設計は株式会社インフローの CAD ソフトウェア Cadlus X 用いて行った。二次試作センサ基板の設計図を図 3-6 に、作製された基板を図 3-7 に示す。

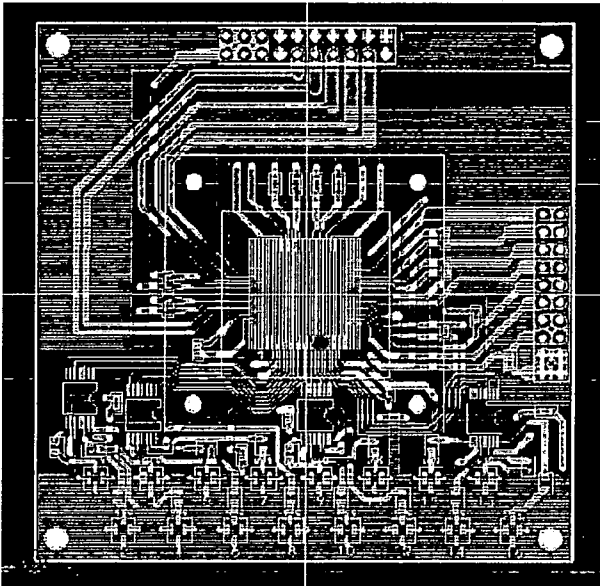


図 3-6 基板の設計図

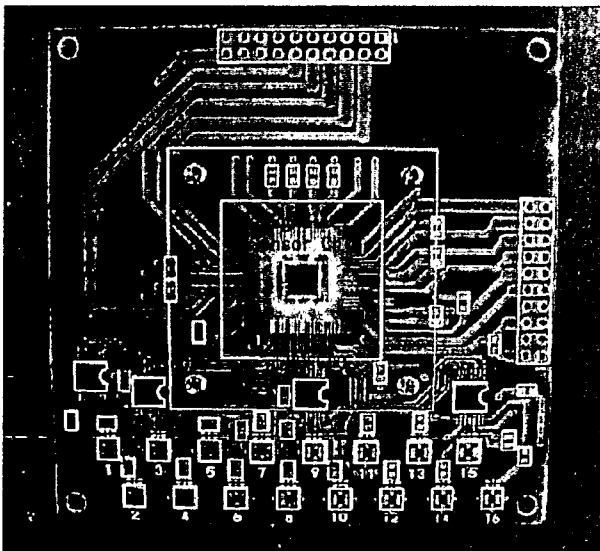


図 3-7 作製された基板

基板は一次試作と同様に非磁性の材料のみを用いて設計し、アルミニウムの土台を取り付けた。基板中央に磁気センサチップが配置されており、チップからの 16 チャンネルの出力はそれぞれ二次試作センサ基板上のバッファ回路、50Ωの抵抗を通して同軸コネクタに出力される。バッファ回路は National Semiconductor 社製の LMH6560 を使用した。LMH6560 は 4 チャンネルのバッファ回

路を内蔵しているので、二次試作集積化磁気センサチップは 16 チャンネルの信号を出力するため 4 個必要とした。同軸ケーブル・コネクタはヒロセ電機株式会社製の W.FL シリーズを使用した。W.FL シリーズ同軸ケーブルは特性インピーダンスが 50Ωであるため、50Ωの抵抗器によってインピーダンス整合を図った。付録に設計した二次試作センサ基板の回路図を示す。

C. 3. 5 測定用基板の設計

一次試作ではデータの転送に 20MB/s のデータ転送速度を持つインターフェイスを使用していた。しかし、20Mbps のデータ転送速度では 4882fps が限界であることから目標値である 7808fps での読み出しは不可能である。よって、本研究では 16 チャンネルのデータを AD 変換後にメモリへ一時的に保存し、速度を落として順番に読み出す測定基板を設計した。信号の流れの概要を図 3-8 に示す。

測定基板は全体を制御する制御基板(以下、制御基板)とデータの AD 変換と書き込み・読み込みを制御する ADC 基板(以下、ADC 基板)で構成され、ADC 基板 1 枚につき 4 チャンネル分の信号を処理する。制御基板は PC から信号を受けて ADC 基板とセンサの制御を行い、制御基板からの信号を受けた ADC 基板は ADC、メモリの制御を行う。また、制御基板とセンサ基板は 20 極のケーブルで、制御基板と ADC 基板は 40 極のリボンケーブルで接続している。測定のイメージを図 3-9 に示す。

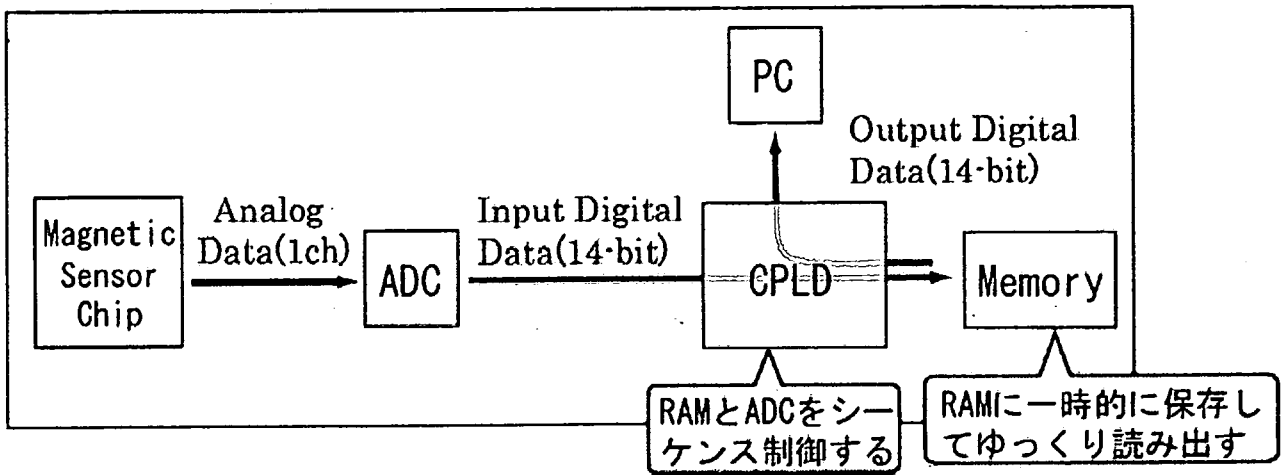


図 3-8 信号の流れ概要

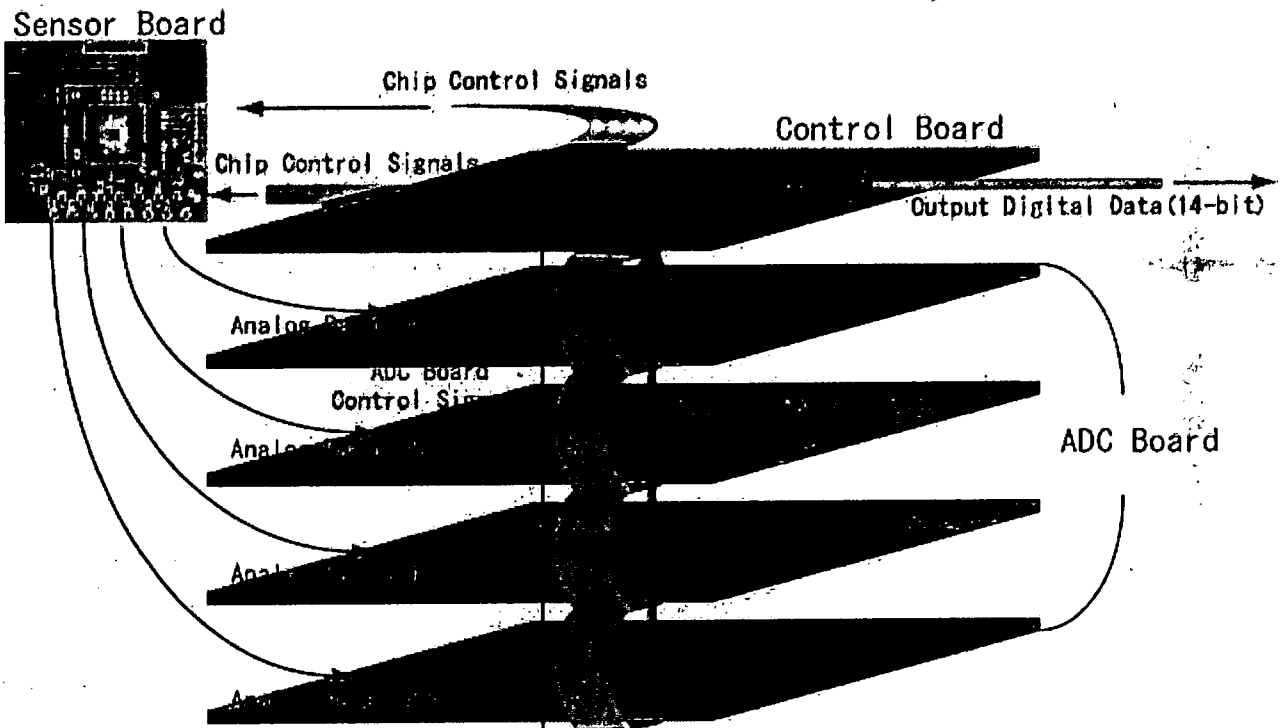


図 3-9 測定のイメージ

C. 3. 5. 1 制御基板の設計

全体を制御する制御基板はチップを配置する基板と同様にインフロー社の Cadlus X によって設計された。制御基板の設計図を図 3-10 に、写真を図 3-11 に示す。

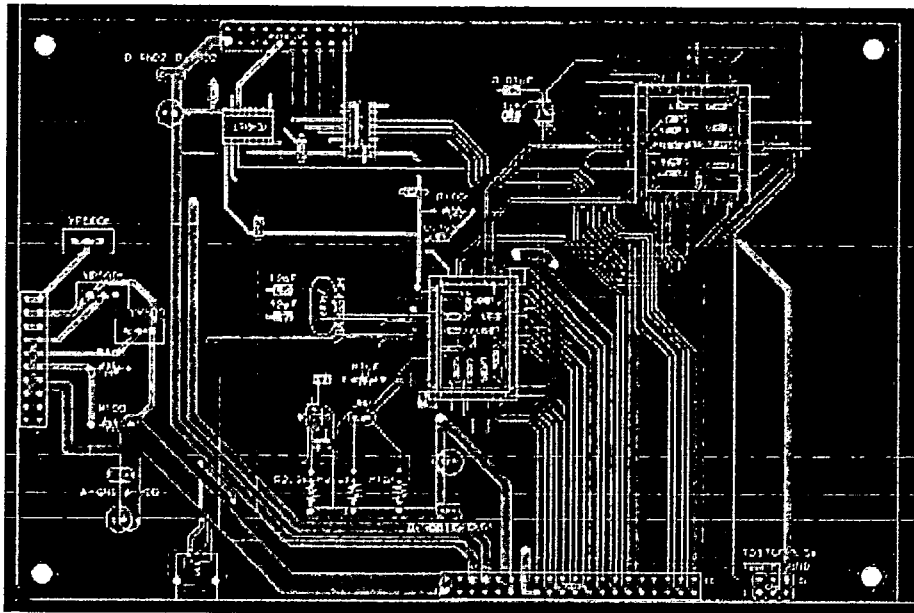


図 3-10 制御基板の設計図

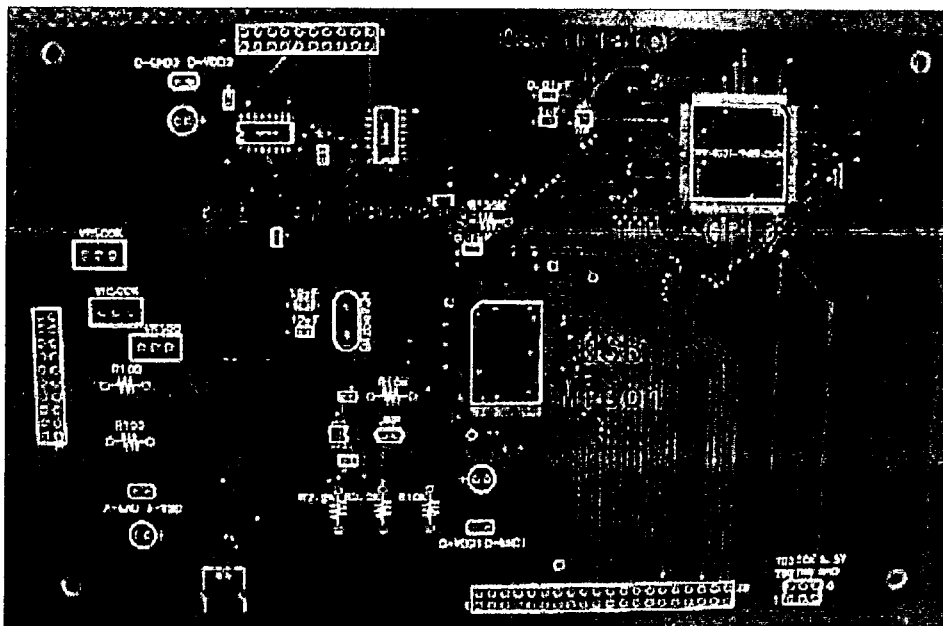


図 3-11 作製された制御基板

制御基板の中央に USB マイコン、右上に CPLD(Complex Programmable Logic Device)とオシレータ、左上にデジタルアイソレータが配置されている。USB マイコンは Cypress 社製の CY7C68013A-128、CPLD は Xilinx 社製の XCR3128、オシレータは LinearTechnology 社製の LTC6903、デジタルアイソレータは NVE 社製の IL715 を使用した。付録に設計された制御基板の回路図を示す。

制御基板の信号の流れを図 3-12 に示す。制御基板は、PC からの入力を USB コネクタで受け、磁気センサと ADC 基板を制御する役割を持たせた。制御基板の書き込み制御時と読み込み制御時

のセンサ基板・ADC 基板の制御は、PC からの入力を USB マイコンが受け取ることで行う。また、USB マイコンはオシレータの制御を行い、CPLD へ任意の周波数のクロック信号を入力する。磁気センサの読み込み速度はクロック信号の周波数によって決定する。

PC からの入力を受けた USB マイコンは CPLD にメモリへのデータ書き込み制御開始信号を出力する。それを受けた CPLD はセンサ制御信号と ADC 基板制御信号を磁気センサチップと ADC 基板へ出力する。また、センサ制御信号は制御基板上のデジタルアイソレータを通して出力する。ADC 基板でメモリへのデータ書き込み動作が終了すると、制御基板の CPLD は USB マイコンに

書き込み制御終了信号を出力し、USB マイコンによって書き込み制御開始信号が停止されることで書き込みの制御を終了する。同様に、読み込みも USB マイコンから CPLD に読み込み制御開始信号が入力されることで開始する。CPLD はそれを受けて ADC 基板の制御を行い、ADC 基板から 40 極のリボンケーブルを通して 14-bit のデジタ

ル信号が入力される。14-bit のデジタル信号は USB マイコンによって USB コネクタを通して PC へ出力される。全てのデータの読み込みが終了すると CPLD は USB マイコンに読み込み制御終了信号を出力し、USB マイコンによって読み込み制御開始信号が停止されることで読み込みの制御を終了する。

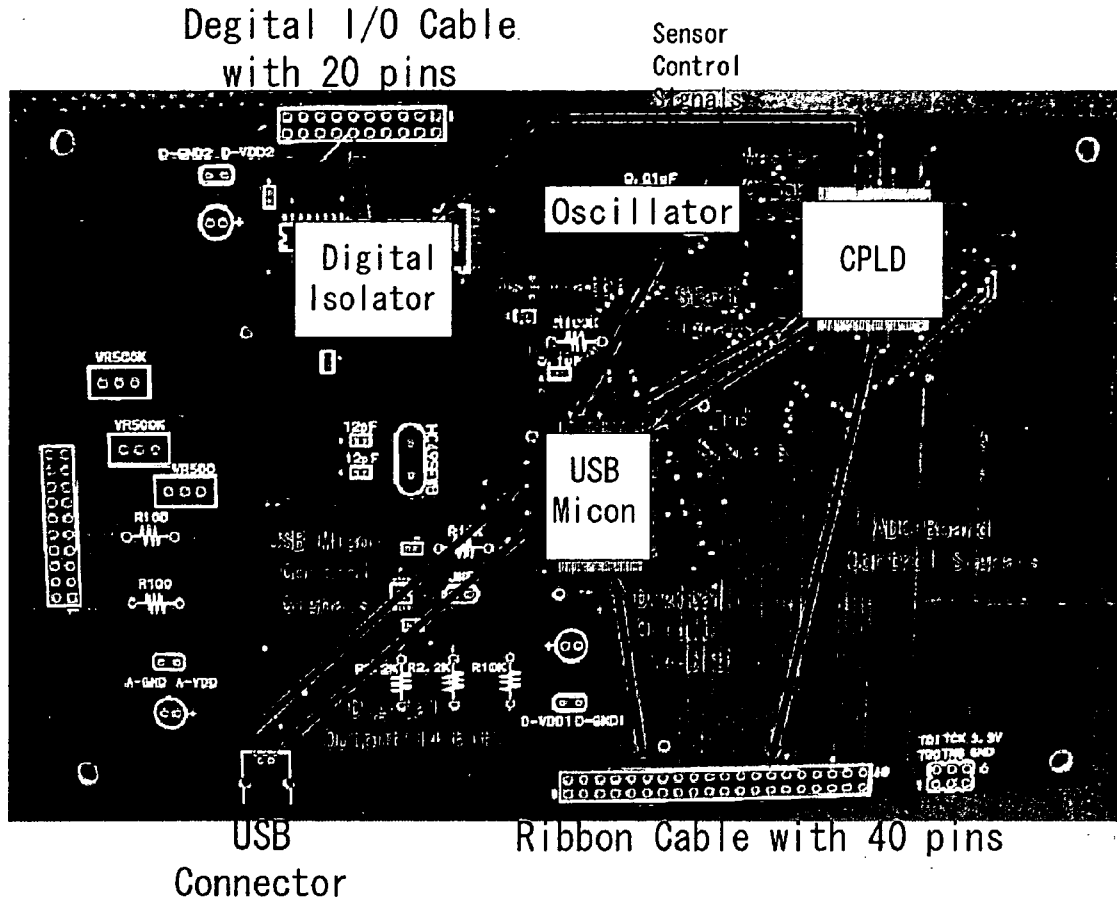


図 3-12 制御基板の信号の流れ

C. 3. 5. 2 ADC 基板の設計

ADC 基板もセンサ基板・制御基板と同様にインフロー社の Cadlus X によって設計を行った ADC 基板の設計図を図 3-13 に、写真を図 3-14 に示す。

今回設計した ADC 基板は、1 枚の基板で 4 チャンネルの信号を ADC で AD 変換すると同時に 2 チャンネルの信号に時分割し、それぞれ CPLD を経由してメモリに保存する構造となっている。そのため、二次試作磁気センサの画像を 1 枚得るには 16 チャンネルの信号を処理する必要があるので 4 枚の ADC 基板が必要である。ADC 基板の左側はアナログ領域、右側はデジタル領域となっており、基板上左から順に非反転増幅回路×4、ADC×2、デジタルアイソレータ×8、CPLD×1、メモリ×2 と配置されている。非増幅回路に用いたオペアンプは LinearTechnology 社製の LT6200、ADC は AnalogDevices 社製の AD9248、CPLD

は Xilinx 社製の XC2C256、メモリは Integrated Circuit Solution 社製の IC61LV25616 を使用した。付録に設計した ADC 基板の回路図を示す。

ADC 基板での書き込み動作時、チップから入力された 4 チャンネルのアナログデータは 4 個の非反転増幅回路によってそれぞれ 2 倍に増幅し ADC へ入力する。今回使用した ADC は 1 つのパッケージに 2 つの ADC を内蔵するタイプで、2 チャンネルのアナログデータを 14-bit のデジタルデータに変換すると同時に 1 チャンネルの信号に時分割する。ADC からの出力はデジタルアイソレータと CPLD を通してメモリへ入力される。読み込み動作時は、CPLD によって出力するメモリを選択することで 8 個のメモリ (ADC 基板 4 枚分) のデータを 1 チャンネルに時分割し、リボンケーブルを通して制御基板に出力する。

ADC 基板の信号の流れを図 3-15 に示す。ADC 基板は、制御基板からの制御信号を受けて、ADC

とメモリを制御する役割を持たせた。ADC 基板のメモリへのデータを書き込む時とメモリからデータを読み込む時の ADC とメモリの制御は、制御基板から書き込みの制御信号の入力をリボンケーブル経由で CPLD が受け取ることで行う。制御基板からの入力を受けた ADC 基板上の CPLD は ADC とメモリの制御信号を出力し、14-bit のデジタル信号に AD 変換したデータをメモリへ書き込む。このとき、データは AD 変換後にデジタルアイソレータと CPLD を通してメモ

リに入力する。必要とするデータ数が集まると CPLD はメモリの書き込みと ADC の制御を停止する。その後、制御基板から読み込みの制御信号が入力されることで読み込み動作へ入る。読み込みの制御信号を受けた CPLD はメモリ制御信号を出力し、メモリはデジタルデータの出力を開始する。必要とする数のデータの出力が終了するとデータの出力を停止する。

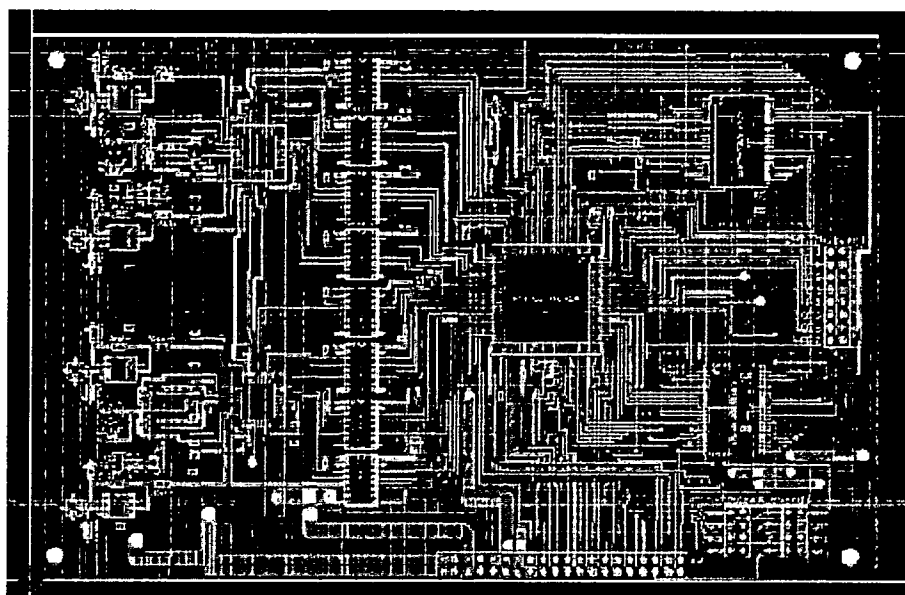


図 3-13 ADC 基板の設計図

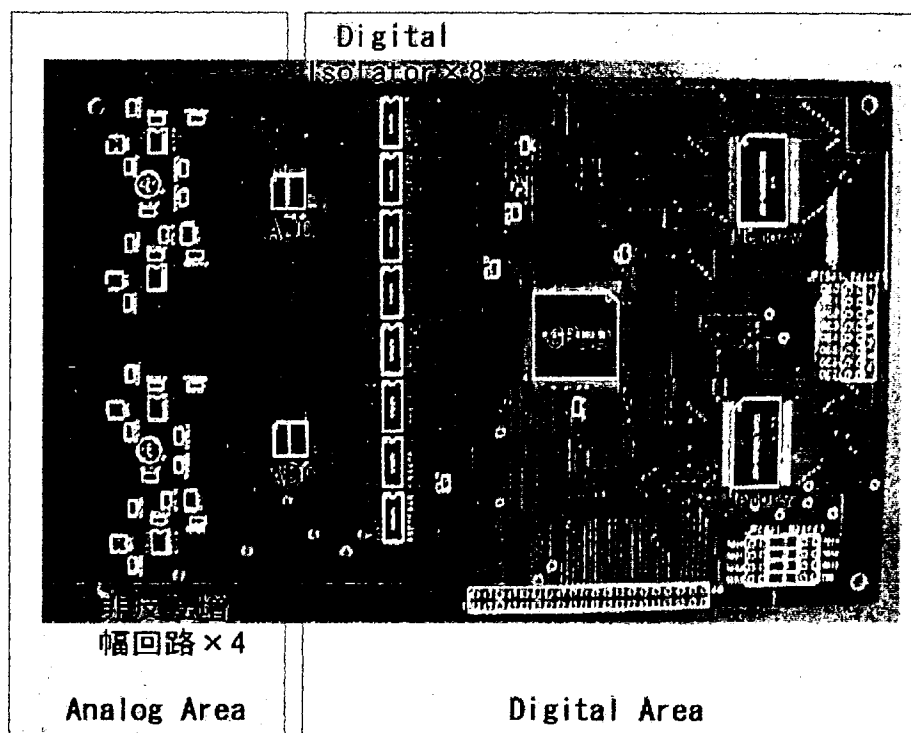


図 3-14 作製された ADC 基板

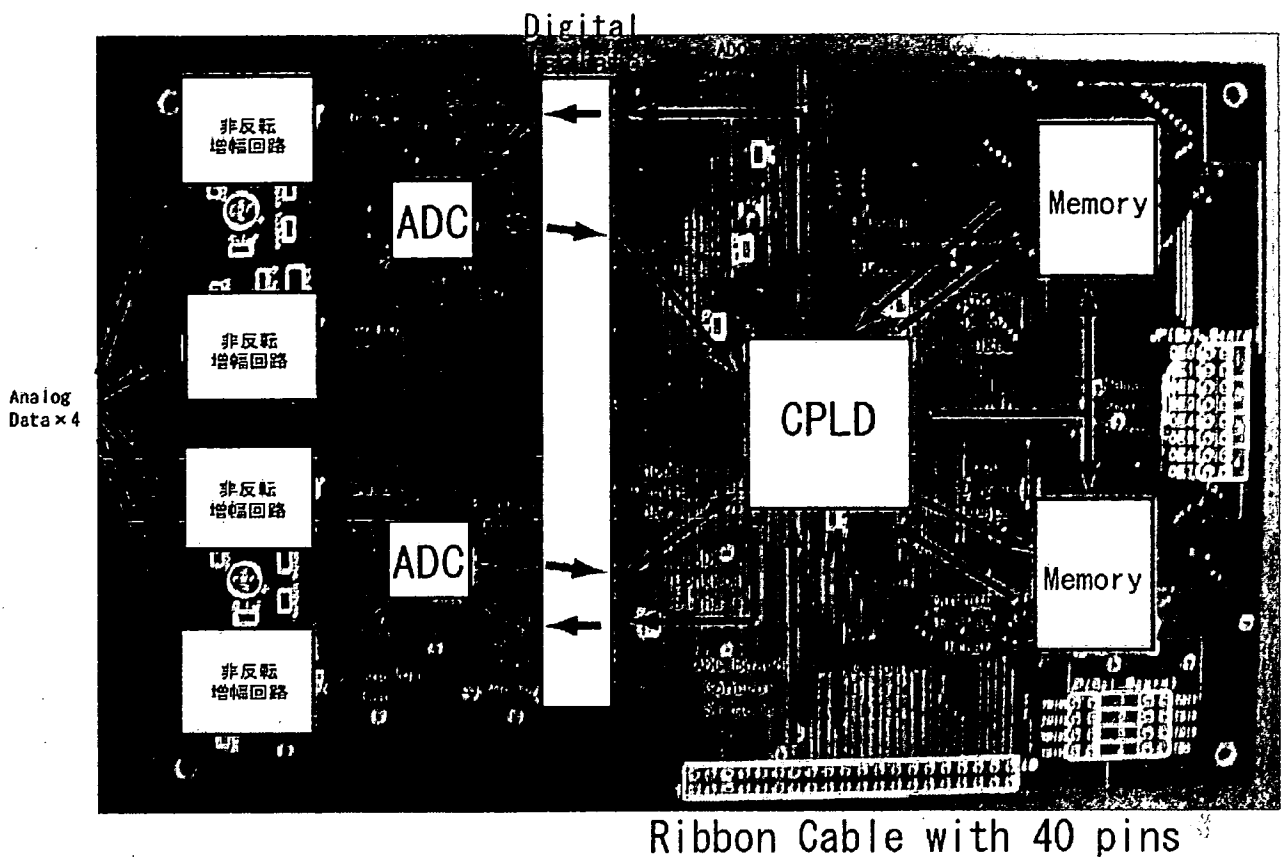


図 3-15 ADC 基板の信号の流れ

C. 3. 6 CPLD の設計

制御基板・ADC 基板の両者に配置した CPLD を Xilinx 社の Xilinx ISE 9.2i というソフトウェアを用いて VerilogHDL で設計した。メモリへの書き込みはセンサの制御クロックに合わせた速度で行い、書き込み終了後に USB マイコンが出力する読み出しクロックで速度を落として読み出すように設計した。また、制御基板の CPLD は USB マイコンが書き込み・読み込みの命令を入力するまで、ADC 基板の CPLD は制御基板の CPLD が書き込み・読み込みの命令を入力するまでリセット状態で待機するようにした。

C. 3. 6. 1 制御基板の CPLD の設計

制御基板の CPLD の役割はセンサの制御、ADC 基板の CPLD の制御、USB マイコンとのやり取りであり、USB マイコンから Write か Read が入力されるまで自身を Rst により初期状態を保つように設計した。この節では制御基板の CPLD の動作を説明する。制御基板の CPLD で用いた信号を表 3-1 に、CPLD の書き込み制御のタイミングチャートを図 3-16 に示す。

表 3-1 全体を制御する基板の CPLD で用いた信号一覧

信号名	概要
Rst	制御基板の CPLD を初期状態に戻すリセット信号
Write	USB マイコンからの書き込み開始信号
Col-clk	チップの水平ドライバへのクロック
Sel-clk	チップの垂直ドライバへのクロック
G-in	センサを駆動する入力
Sel-in	センサの P 型トランジスタスイッチへの入力
Col-in	センサの N 型トランジスタスイッチへの入力
W-start	ADC 基板の CPLD への書き込み開始信号
W-end	USB マイコンへの書き込み終了信号
Read	USB マイコンからの読み込み開始信号
R-start	ADC 基板の CPLD への読み込み開始信号
R-end	USB マイコンへの読み込み終了信号
Read-clk	USB マイコンからの読み込みクロック
R-clk	ADC 基板への読み込みクロック

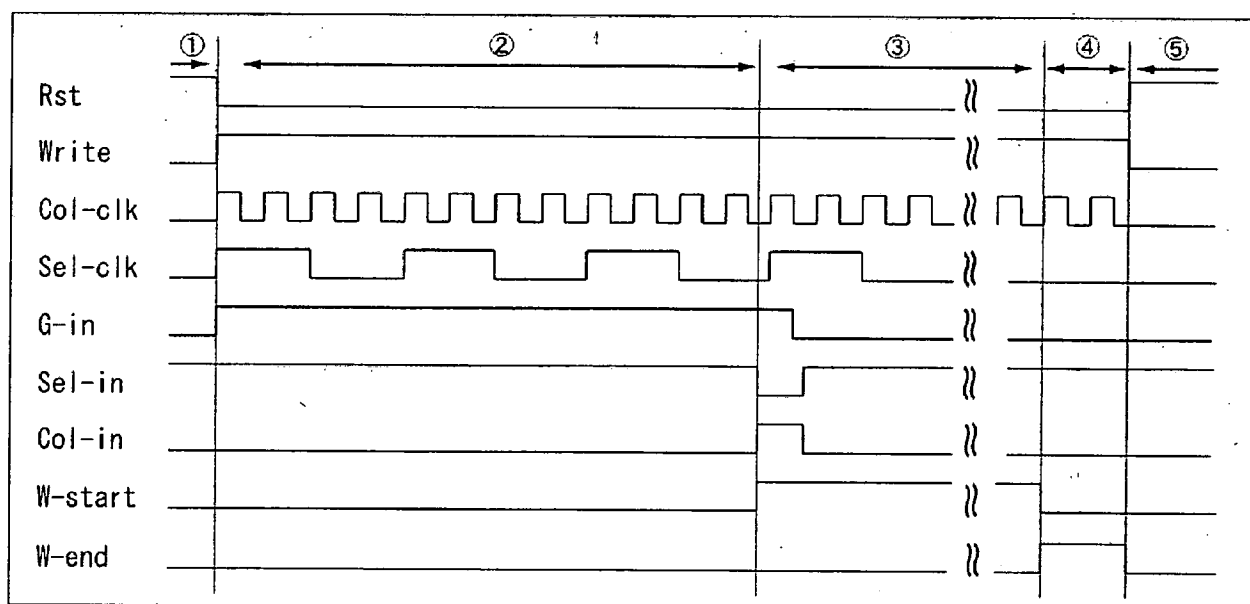


図 3-16 書き込み制御のタイミングチャート(制御基板)

センサの制御は Sel-clk、Col-clk、G-in、Sel-in、Col-in で行う。センサの列切り替えは行切り替えの 4 倍の周期で行われるため、Col-clk は Sel-clk の 4 倍の周期である。Col-in、Sel-in は、それぞれ Col-clk、Sel-clk の立ち上がりエッジで次の列・行に入力され、列・行の切り替えを行う。また、G-in はセンサの 1 行目のみに入力されており、Sel-in と同様に Sel-clk の立ち上がりエッジによって次の行へ入力される。今回はダイナミックド

ライブ方式により 4 行駆動させて測定を行うため、CPLD は G-in を Sel-clk の立ち上がりエッジを 3 回入力するまで入力し続ける。

まず、USB マイコンから Write が入力されるまで Rst により初期状態を保つ(①)。Write が入力されることで Sel-clk、Col-clk、G-in をセンサに入力してセンサの駆動を開始する(②)。Sel-clk の 4 回目の立ち上がりエッジに合わせてセンサへ Col-in、Sel-in の入力、G-in の停止を行う。また、

同時に ADC 基板へ W-start を入力する。これ以降、センサからアナログデータが ADC 基板に出力される(③)。ADC 基板上でメモリへのデータの保存が終了すると制御基板は W-start を停止して ADC 基板の書き込み動作を停止するのと同時に

W-end を USB マイコンに出力する(④)。W-end を受け取った USB マイコンは Write を停止し、制御基板の CPLD は Rst で初期状態となる(⑤)。

次に、CPLD の読み込み制御のタイミングチャートを図 3-17 に示す。

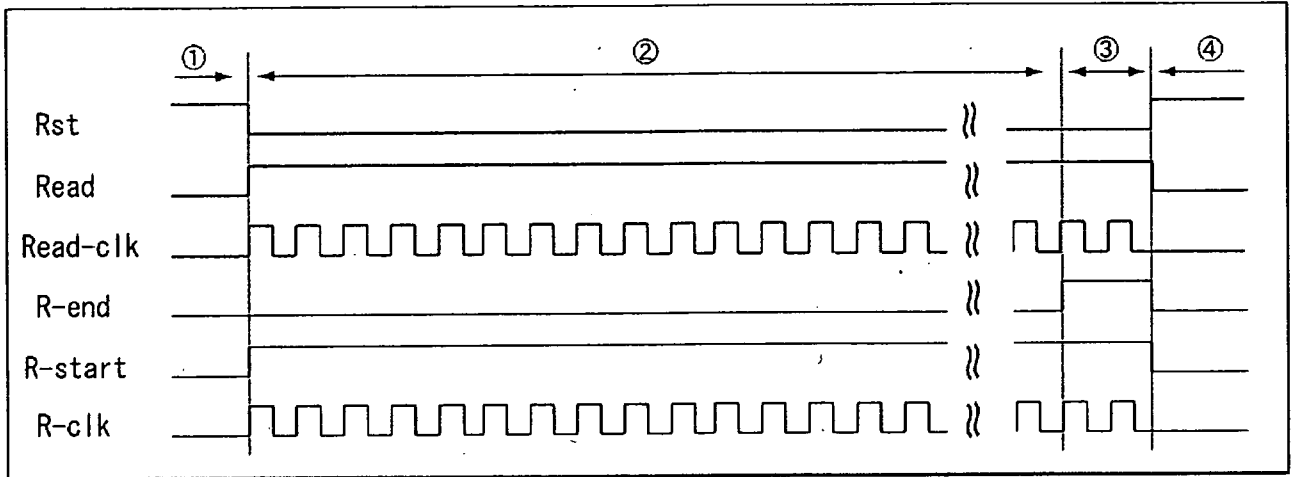


図 3-17 読み込み制御のタイミングチャート(制御基板)

読み込み制御は USB マイコンから Read と Read-clk が入力されると開始し、それまでは Rst によって初期状態が保たれている(①)。また制御基板の CPLD に入力された Read と Read-clk をそれぞれ R-start と R-clk として ADC 基板の CPLD に入力し、ADC 基板の読み込み動作を開始させる(②)。必要とするデータ数の読み込みが終了すると制御基板の CPLD は R-end を USB マイコンに出力し(③)、USB マイコンが Read と R-clk を停止することで制御基板の CPLD は Rst

で初期状態となる(④)。

制御基板の CPLD のシミュレーションを XilinxISE9.2i を用いて行った。すべてのシミュレーションは磁気センサの読み出し速度を 7808fps、読み出しクロックを 1M[Hz]と設定して行った。制御基板の書き込み制御信号のシミュレーション結果を図 3-18、図 3-19 に示す。また、図中の M_clk はオシレータから CPLD に入力されるクロック信号で、磁気センサの読み出し速度が 7808fps のとき 16MHz となる。

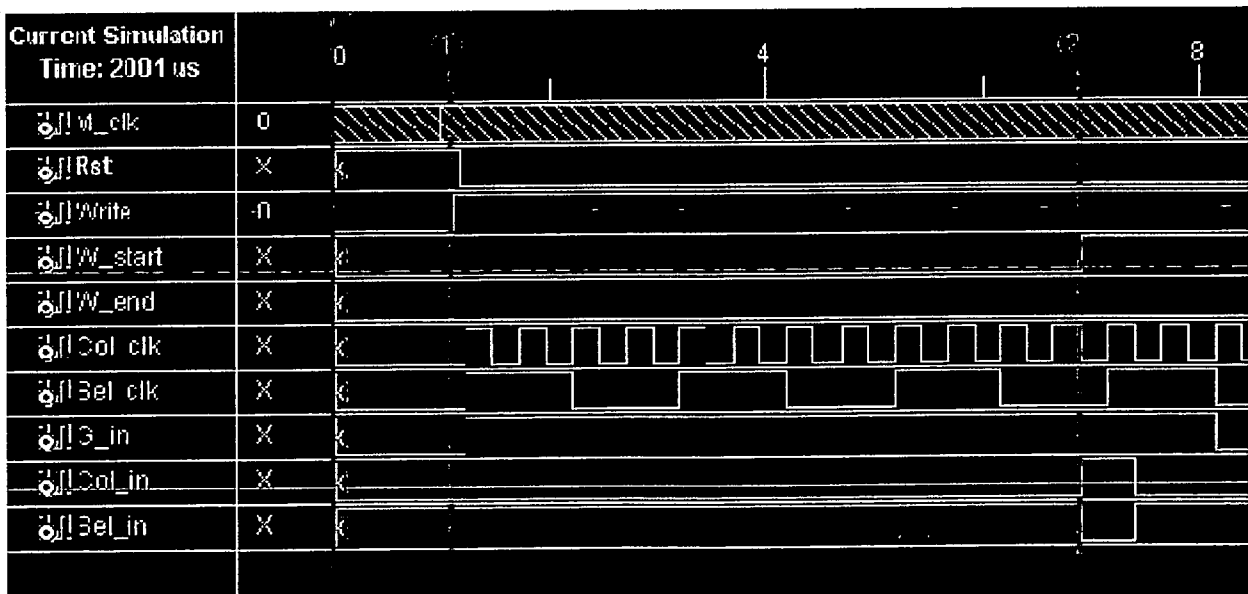


図 3-18 書き込み制御開始時の信号のシミュレーション結果(制御基板)

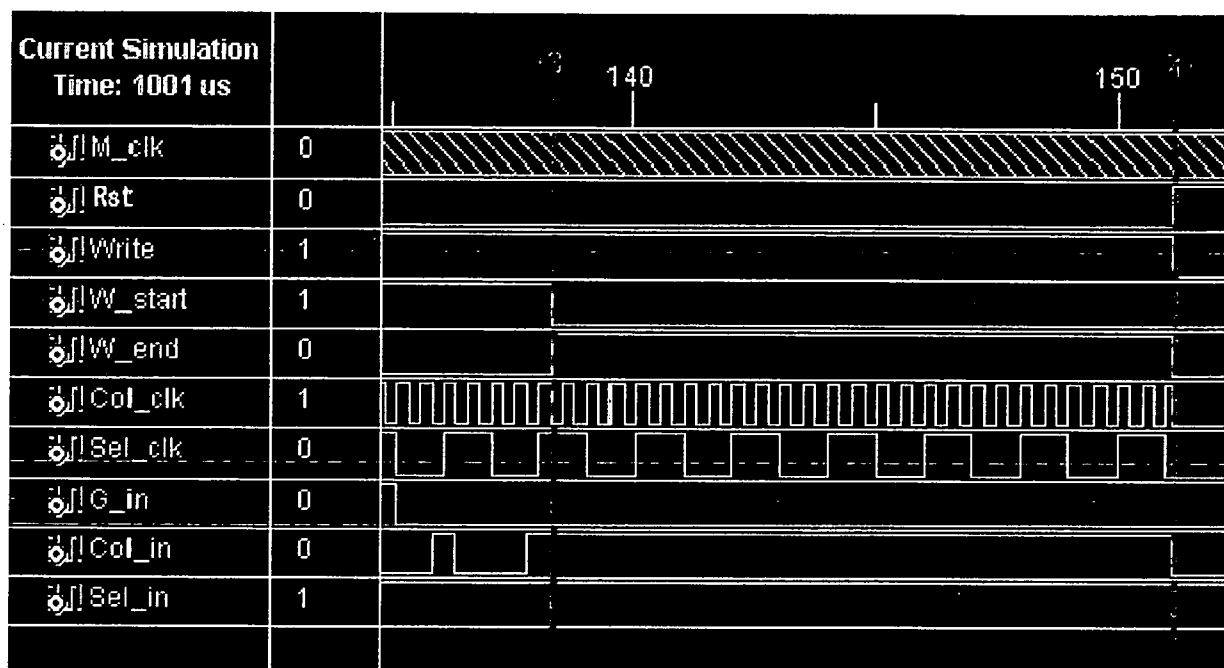


図 3-19 書き込み制御終了時の信号のシミュレーション結果(制御基板)

図 3-18 の①で Write が入力されることで、Col-clk、Sel-clk、G-in の出力を開始し、②で Sel-clk の 4 回目の立ち上がりエッジに合わせて Col-in、Sel-in、W-start の出力と G-in の停止を行った。その後、Col-clk のカウント数がデータ数に達すると W-start を停止し、W-end を出力した(図 3-19 中の③)。W-end 出力後、Write が停止

されることで Rst によって初期状態となった(図 3-19 中の④)。図 3-18、図 3-19 から制御基板の CPLD の書き込み制御はタイミングチャート通りの動作を示していることがわかる。

次に、制御基板の読み込み制御時の信号のシミュレーション結果を図 3-20、図 3-21 に示す。

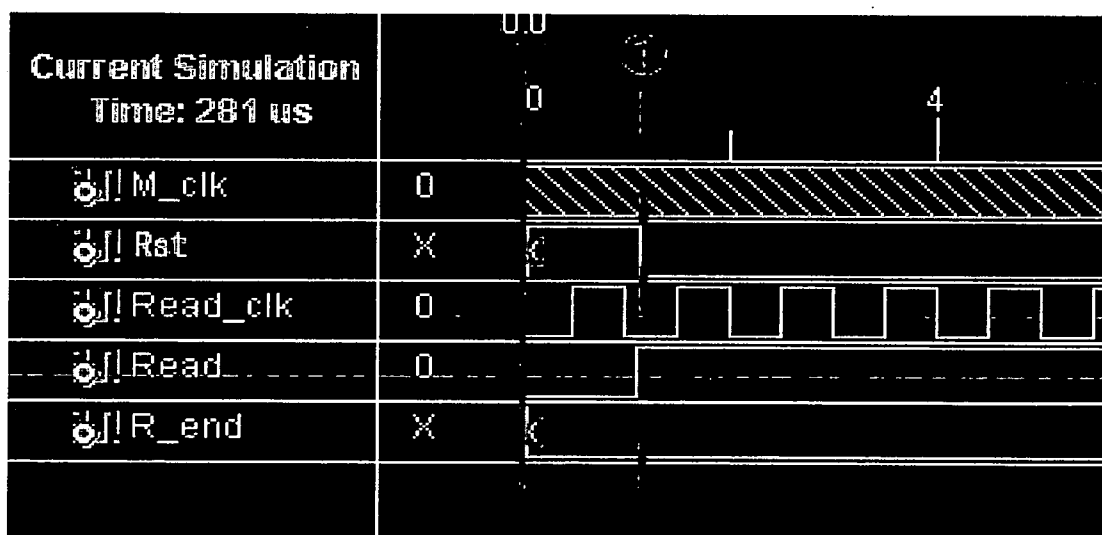


図 3-20 読み込み制御開始時の信号のシミュレーション結果(制御基板)

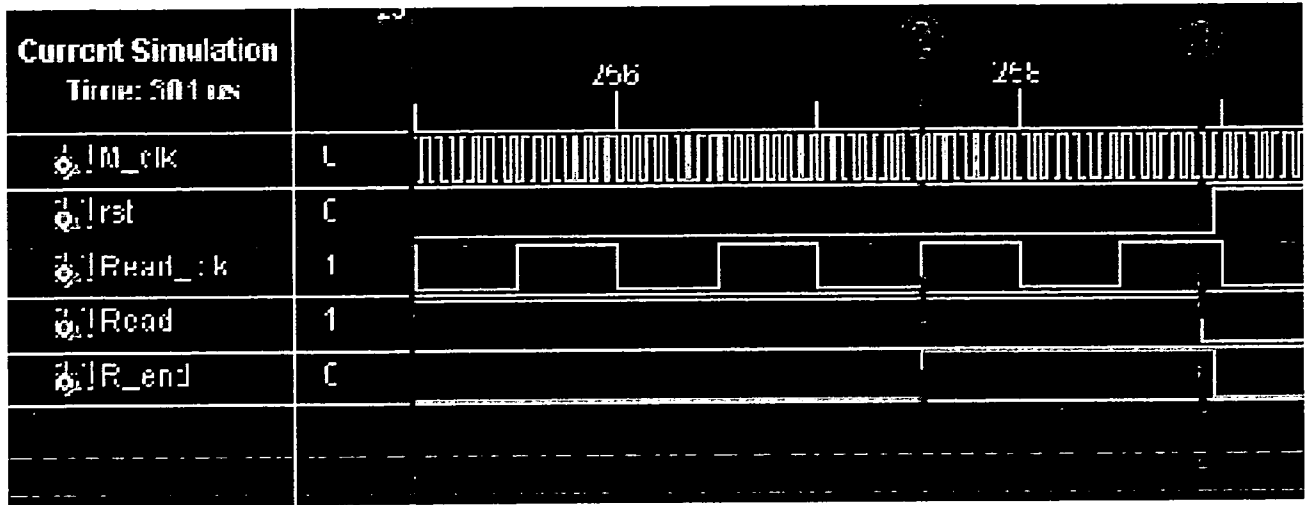


図 3-21 読み込み制御終了時の信号のシミュレーション結果(制御基板)

読み込みは Read と Read-clk が入力されることで開始した(図 3-20 の①)。R-clk のカウント数がデータ数に達すると読み込み終了になり R-end を出力した。R-end 出力後(図 3-21 の②)、Read が停止されることで Rst により初期状態となった(図 3-21 の③)。図 3-20、図 3-21 から、制御基板の CPLD の読み込み制御はタイミングチャート通りの動作を示していることがわかる。以上の結果から、制御基板の CPLD の設計が完了したといえる。

C. 3. 6. 2 ADC 基板の CPLD の設計

ADC 基板の CPLD の役割は ADC の制御、メモリの制御、データの制御である。1 枚の ADC 基板 1 個の CPLD で 4 チャンネルの信号を扱い、ADC により 2 チャンネルに時分割した後、2 個のメモリへそれぞれ保存する。読み出し時には 4 枚の基板にある 8 個のメモリから CPLD とジャンパピンで出力制御を行い、1 チャンネルに時分割して出力する。ADC 基板の CPLD で用いた信号を表 3-2 に、CPLD におけるメモリへのデータ書き込み動作のタイミングチャートを図 3-22 に示す。

表 3-2 ADC 基板の CPLD で用いた信号一覧

信号名	概要
rst	ADC 基板の CPLD を初期状態に戻すリセット信号
W-start	制御基板からの書き込み開始信号
OEB	ADC の出力許可信号
PDWN	ADC の動作制御信号
ADC-clk	AD 変換用クロック
WE	メモリの書き込み許可信号
A-clk	アドレス用クロック
R-start	制御基板からの読み込み開始信号
R-clk	制御基板からの読み込みクロック
OE 0-7	メモリの出力許可信号
Address	メモリのアドレス

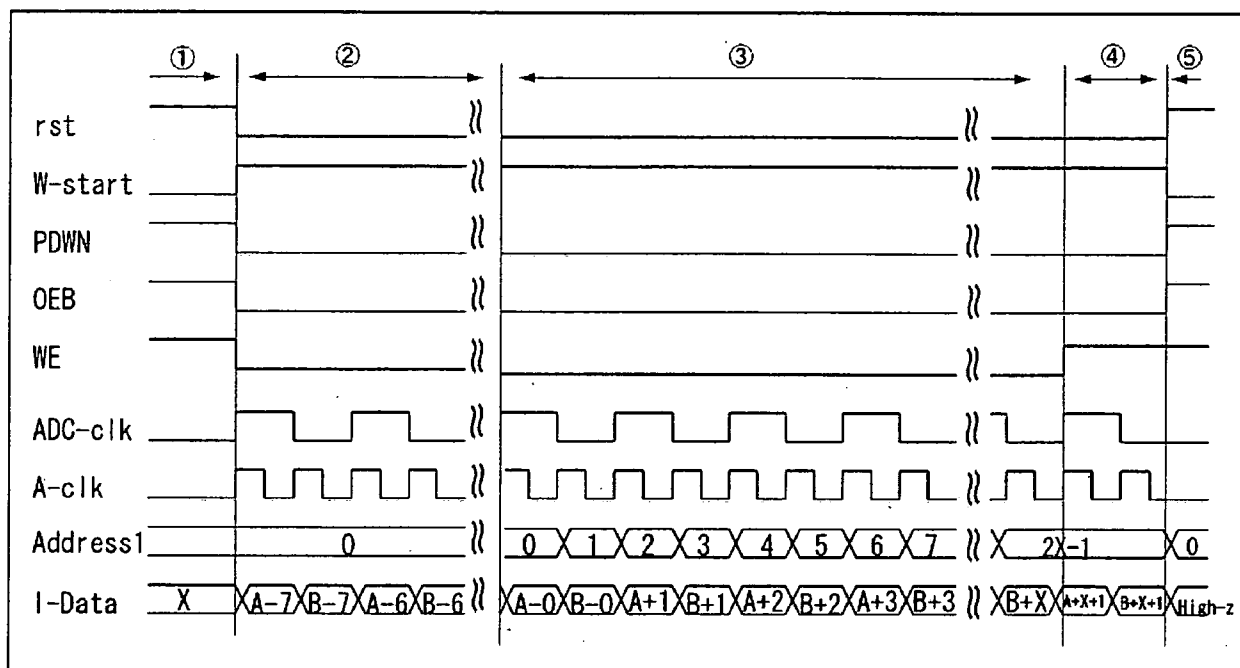


図 3-22 メモリへの書き込み動作のタイミングチャート(ADC 基板)

ADC 基板の CPLD は初期状態でリセットがかかっており、制御基板から W-start か R-start が入力されるまで初期状態を保つように設計した (①)。また、図 3-22 中の I-Data は ADC から CPLD へ入力される 2 チャンネルのデジタルデータを表している。制御基板から W-start 入力されると、OEB、PDWN、ADC-clk、WE により ADC とメモリの制御を行う。このとき ADC は 2 チャンネルの信号を時分割して出力するため、ADC-clk の立ち上がりと立ち下りで信号が切り替わるため、A-clk は ADC-clk の倍の周期で動作させた。また、ADC

の変換により ADC-clk の 7 周期分データが遅れて出てくるので (②)、遅延時間経過後にメモリのアドレスを A-clk に合わせて変化してメモリにデータを保存する (③)。データの保存が終了すると WE を停止して、メモリへの書き込みを終了する (④)。その後、制御基板によって W-start が停止されるのを待ち、W-start 停止後に ADC 基板の CPLD は rst で初期状態となる (⑤)。

次に、CPLD におけるメモリからのデータ読み込み動作のタイミングチャートを図 3-23 に示す。

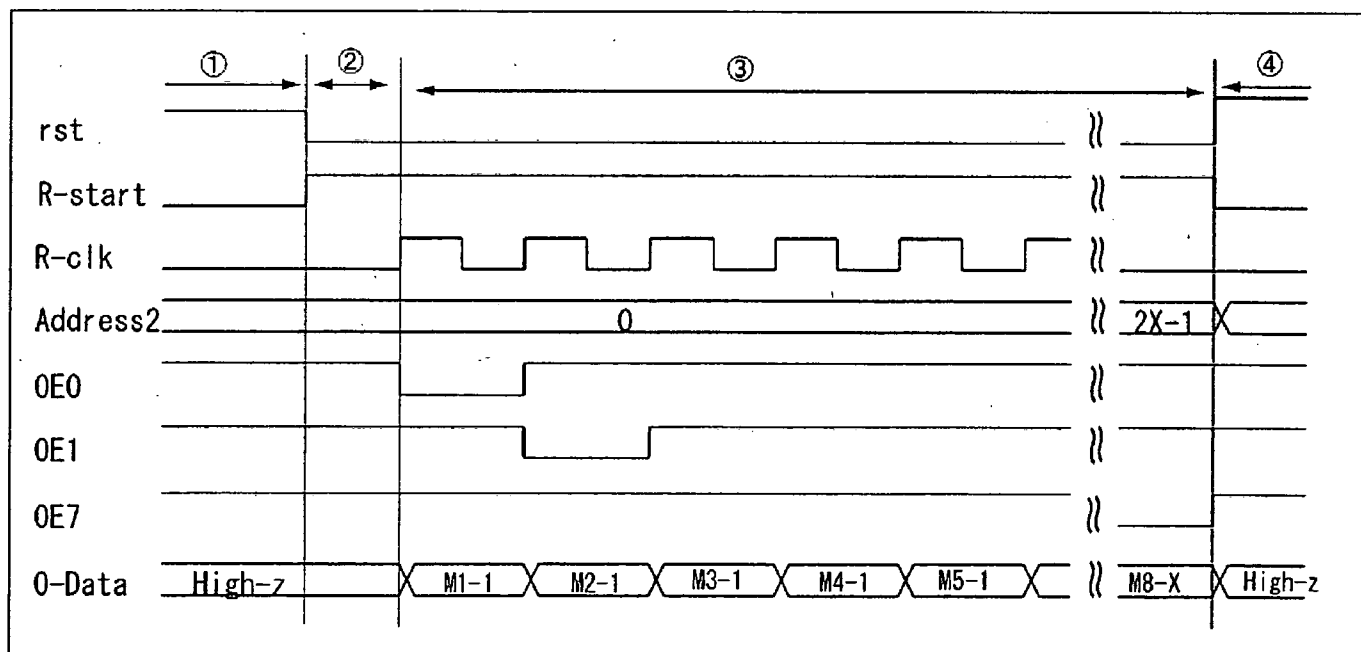


図 3-23 メモリからの読み込み動作のタイミングチャート

図 3-23 の O-Data は ADC 基板からリボンケーブルによって制御基板に入力される出力データであり、Mx-y は x 個目のメモリの y 番目のデータを表している。読み込みは、制御基板の CPLD から R-start と R-clk が入力されることで開始する(①、②)。8bit の OE は R-clk に合わせて変化し、8 個のメモリを交互に出力するように制御してデータを読み出す(③)。データの読み込みが終了すると OE0~7 を停止し、メモリからのデータの読み込みを終了する(④)。その後、制御基板の CPLD によって R-start が停止されることで ADC

基板の CPLD は rst によって初期状態となる。

ADC 基板の CPLD のシミュレーションを XilinxISE9.2i を用いて行った。すべてのシミュレーションはチップの読み出し速度を 7808fps、読み出しクロックを 1M[Hz]と設定して行った。ADC 基板のメモリへの書き込み動作の信号のシミュレーション結果を図 3-24、図 3-25 に示す。また、図中の Sys_clk は制御基板における M_clk と同じ周波数のクロック信号である。

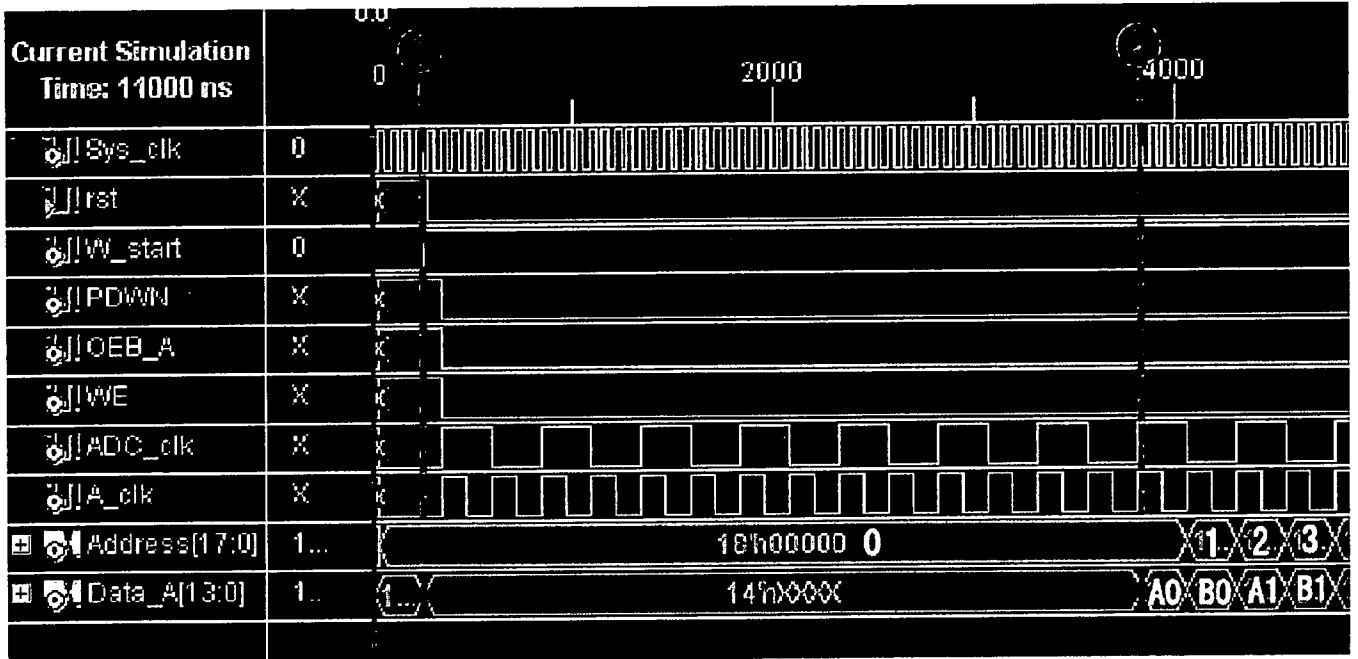


図 3-24 書き込み動作開始時のシミュレーション結果(ADC 基板)

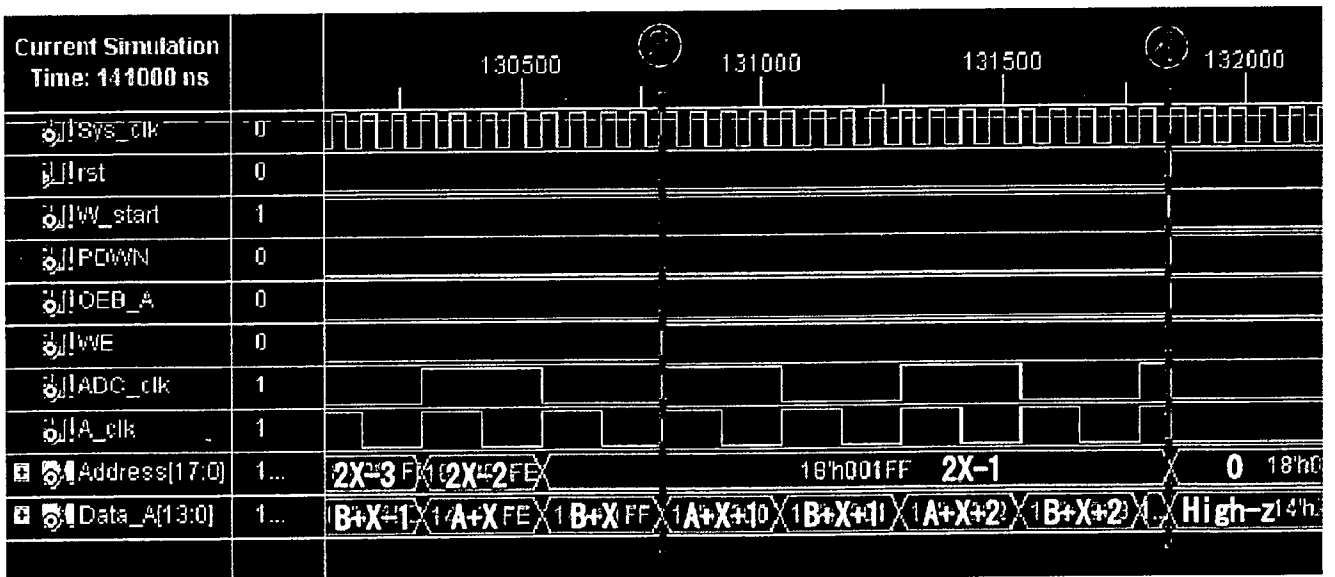


図 3-25 書き込み動作終了時のシミュレーション結果(ADC 基板)

図 3-24、図 3-25 中の Data_A は ADC から CPLD に入力されるデジタルデータを表しており、ADC では 2 チャンルの信号を時分割で 1 チャンネルとしている。ADC 基板は W-start が入力されるまで rst によって初期状態を保っており、W-start を入力することで PDWN、OEB、ADC-clk を出力した(図 3-24 中の①)。ADC からデジタルデータが入力されるまで ADC の変換時間による遅延があるので、ADC-clk の 7 波長分経過後に WE を出力した(図 3-24 中の②)。A-clk の

カウント数がデータ数に達すると WE を停止して書き込み動作を終了した(図 3-25 中の③)。その後、W-start が停止されることで rst により初期状態となった(図 3-25 中の④)。図 3-24、図 3-25 から、ADC 基板の CPLD のメモリへのデータ書き込み動作はタイミングチャート通りの動作を示していることがわかる。

次に、ADC 基板のメモリからの読み込み動作のシミュレーション結果を図 3-26、図 3-27 に示す。

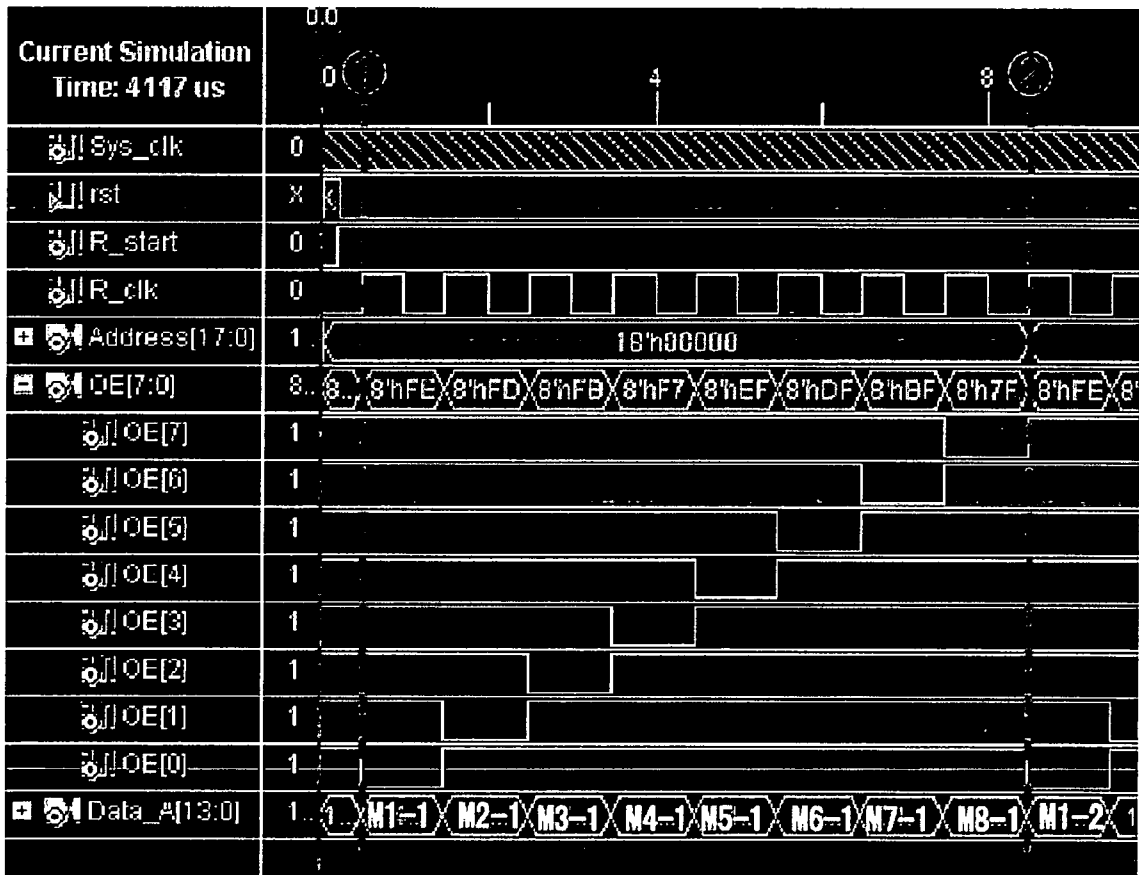


図 3-26 読み込み動作開始時のシミュレーション結果(ADC 基板)

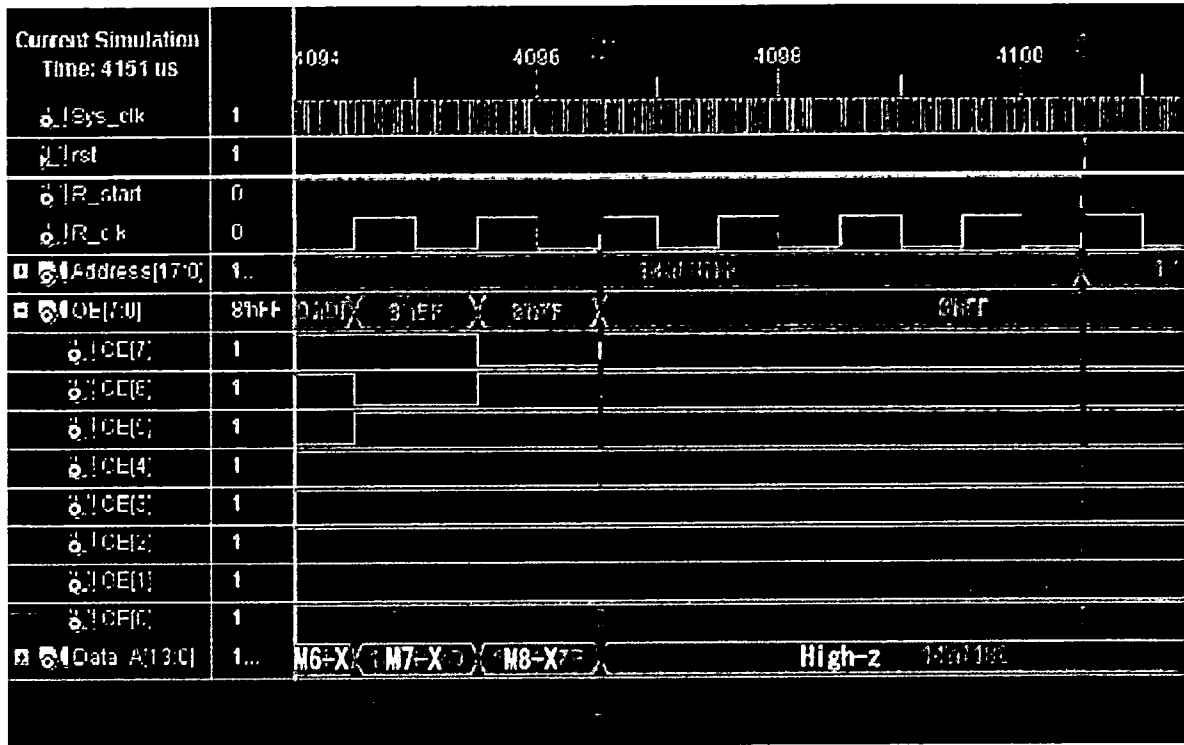


図 3-27 読み込み動作終了時のシミュレーション結果(ADC 基板)

図 3-26、図 3-27 中の Data_A は 8 個のメモリからの出力を表しており、Mx-y は x 番目のメモリの y 番目をデータとする。R-start と R-clk を入力することで OE とアドレスの制御を開始した(図 3-26 中の①)。OE はメモリのアドレスの 1/8 の周期で変化し、8 個のメモリから順次読み出し動作をした(図 3-26 中の②)。その後、R-clk のカウンタ数がデータ数に達すると OE を停止し(図 3-27 中の③)、W-start が停止されることで rst によって初期状態となった(図 3-27 中の④)。図 3-26、図 3-27 から、ADC 基板の CPLD の読み込み動作はタイミングチャート通りの動作を示している

ことがわかる。

以上の結果から、ADC 基板の CPLD の設計は完了したといえる。

C. 3. 7 制御基板の書き込み制御の特性評価

作製された制御基板の書き込み制御の特性評価を行った。測定には PC とロジックアナライザを使用した。PC と制御基板は USB ケーブルによって接続されており、3.3V の電源を 2 つ使用してデジタル部を駆動して測定を行った。測定の概要を図 3-28 に示す。

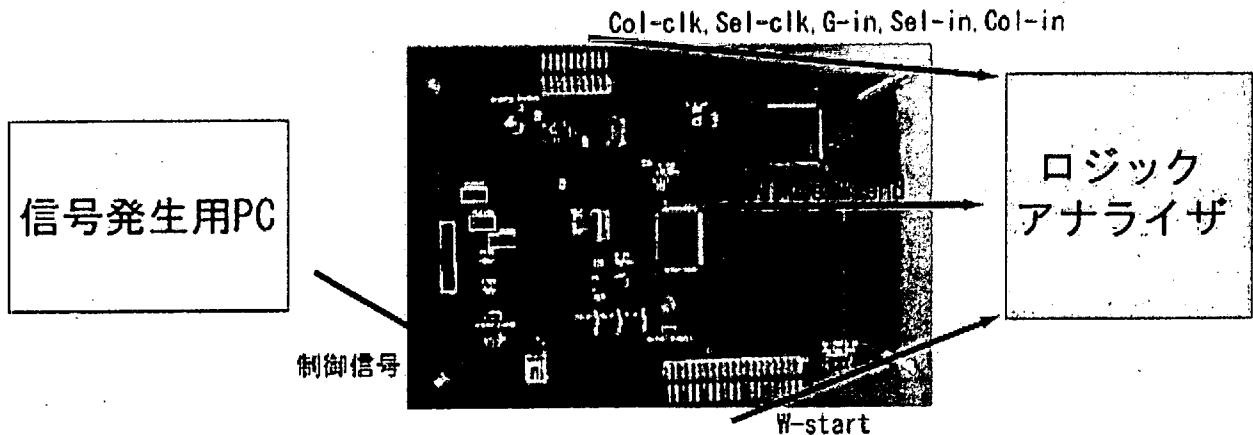


図 3-28 測定の概要

測定は PC から制御基板の USB マイコンに制御信号が入力されることで開始する。制御信号を受けて制御基板の 20 極のコネクタからは Col-clk、

Sel-clk、G-in、Sel-in、Col-in が出力され、40 極のコネクタからは W-start が出力される。それらの信号と制御基板上の USB マイコンと CPLD 間でやり取りされる Write、W-end をロジックアナ

ライザで測定した。また、測定は磁気センサの読み出し速度を 7808fps(CPLD に入力する M_clk を 16MHz)として行った。測定結果を図 3-29、図 3-30 に示す。

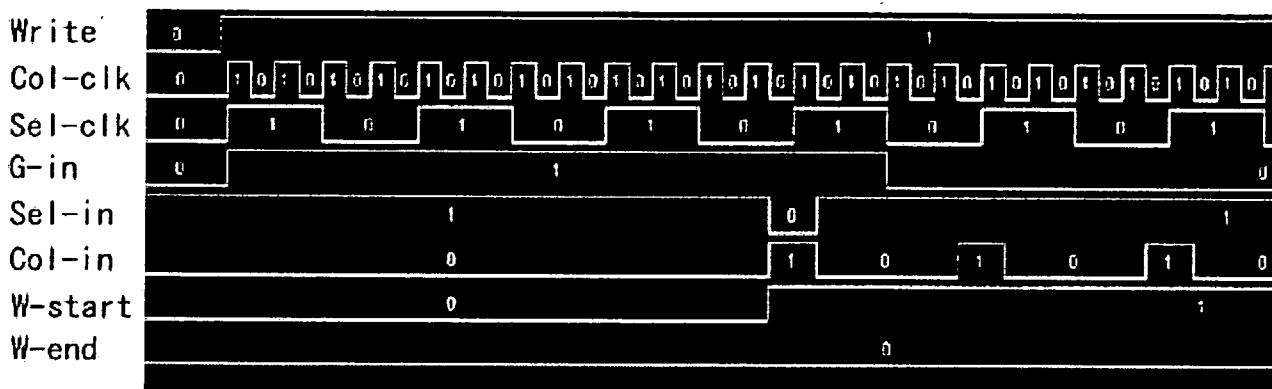


図 3-29 書き込み制御開始時の測定結果

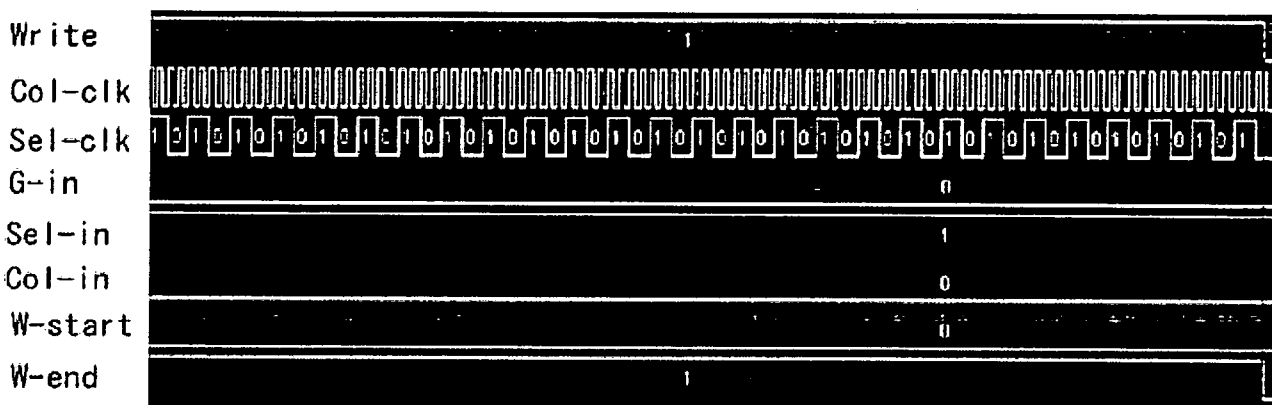


図 3-30 書き込み制御終了時の測定結果

図 3-29、図 3-30 から設計された制御基板は設計通りの動作をしていることが確認できた。測定の結果、オシレータから CPLD に入力される M_clk は 15.99MHz、磁気センサの読み出し速度は 7735fps となり、読み出し速度に 1%の誤差がみられた。

D. 考察

今回作製された制御基板により、目標としていた 7808fps の読み出し速度で制御が可能であると考えられる。しかし、実測値は 7735fps であり、目標値と 1%の誤差が発生している。これはオシ

レータから CPLD へ入力する M_clk の周波数の誤差と M_clk が高周波であることが原因と考えられる。オシレータから出力される M_clk の誤差を表 3-3 に示す。

M_clk の誤差は 0.048581%であるため、M_clk が高周波であることによる誤差が大きな要因になっていると考えられる。

この問題は CPLD の設計内容を変更することで改善すると考えられる。現在、磁気センサの制御を行う Col_clk、Sel_clk は M_clk からそれぞれ 1/8、1/32 に分周して作製している。これを 1/2、1/8 の分周に変更し、M_clk の周波数を下げることによって誤差を抑えることができると考えられる。

表 3-3 M_clk の誤差

設定周波数	オシレータから出力される周波数	誤差(%)
16000000	15992226.99	0.048581

E. 結論

一次試作の磁気センサチップでは、チップ上で磁石を回転させたときの二次元磁束分布図から応答速度の算出及び実測を行い、読み出し速度の目標値を算出した。その結果、一次試作の読み出し速度の限界(976fps)では 400rpm で回転するモーターに取り付けられた磁石の二次元磁束分布図における像の誤差が 1 画素(50 μ m)以下となるため、400rpm で回転するモーターまで制御可能であることがわかった。人工心臓に用いられる磁気浮上モーターは 3000rpm で回転するため、制御を行うには一次試作磁気センサチップの約 8 倍の読み出し速度が必要であることが明らかになった。よって、7808fps の読み出し速度を読み出し速度の目標値とし、高速読み出しに重点を置いた二次試作の磁気センサチップの設計を行った。

二次試作の磁気センサチップは、ホール素子の構造の最適化と出力バッファの増強によりノイズ対策を施し、並列読み出し方式(16 チャンネル)を採用することで読み出し速度の改善を図った。信号を高速に処理するために、読み出した出力をメモリに一時的に保存する読み出しシステムを構築した。制御基板と ADC 基板の CPLD の各動作におけるシミュレーションを行った結果、制御基板と ADC 基板の CPLD はタイミングチャート通りの動作を示した。制御基板の特性評価を行った結果、7735fps の読み出し速度で設計通りの動作を示した。この結果から、並列読み出し方式の制御を行う基板を完成することができた。

F. 研究発表

1. 論文発表
無し
2. 学会発表
1) 石沢泰輔、木村孝之、増澤徹、“二次元集積化磁気センサの応答速度の検討” 電気学会東京支部茨城支所研究発表会、PB13、(2007)
※本発表により優秀発表賞を受賞した

G. 知的財産権の出願・登録状況

1. 特許取得
無し
2. 実用新案登録
無し
3. その他
無し

厚生労働科学研究費補助金
(医療機器開発推進研究事業：身体機能解析・補助・代替機器開発研究)
分担研究報告書

ナノ振動波動装置と超音波試験装置の製作に関する研究

分担研究者 山本 芳郎 株式会社ミワテック主任研究員

研究要旨 本研究では、超音波振動と熱エネルギー、圧力負荷による生体組織同士の接着性について検証を行い、接着メカニズムを詳細に解析するためのシステムの開発を行った。本研究では、生体組織として血管を用いて実験を行うために超音波振動、熱エネルギー、圧力負荷を同時に血管に与えるための装置を開発し、生体組織と人工物の融着が可能であることを検証した。また、動物実験においても、人工化合物—大動脈の接合可能であったことから、接合装置としての利用可能性が示された。

A. 研究目的

本研究事業では、新しい生体組織接着理論に基づくステント等の人工材料と生体との接着の新手法の基礎研究とそれを応用した血管接着性ステントの開発を目的としている。基盤となる生体組織接着理論は、申請者の岸田と分担研究者の増澤の共同研究から導き出された多孔質構造基材とナノ振動による生体組織誘導法と、分担研究者の樋上が提唱する超音波振動によるタンパク質変性による生体接着を組み合わせたものである。

本研究では、超音波振動と熱エネルギー、圧力負荷による生体組織同士の接着性についての検証、接着メカニズムを詳細に解析するために、生体組織として血管同士を接着するための装置の開発を行った。

さらに開発した血管接着デバイスを用いて振動周波数と振幅、温度と接着強度の関係を検証した。

これまでの生体組織の接着技術としては、科学的な接着剤を用いる方法、超音波、電気メス、レーザーなどの高エネルギーを用いた組織融着が試みられている。化学的接着剤に関しては生体適合性の観点から、その素材の選定、開発が行われているが、血管縫合に耐えうる接着強度を実現する接着剤はいまだ開発されていない。また超音波を用いた融着デバイスは血管切断兼止血装置として製品化されているものがあるが、エネルギー量が大きいと、融着部分の熱損傷回避が問題となっている。電気メスはよりエネルギーが高いため、融着部分の炭化、炭化部分の脱落による出血が問題となっている。また、生体組織に通電するため、

脳手術などの神経系の手術には利用できないという欠点がある。レーザー融着に関しては、多くの施設で融着に冠する研究がなされているが未だに実用に供することが可能なデバイスは開発されていない。血管縫合技術に関しては、術者が糸を使って手縫いする方法が主である。一方、金属針を利用したステイプル方式のものが使われているが、大まかな縫合が目的であり、血管縫合では手縫い以外の技術は導入されていない。そのため、本研究で開発した血管縫合技術は非常に有用である。

B. 研究方法

B. 1 血管融着デバイス

B. 1. 1 血管融着デバイス概要

超音波振動、熱エネルギー、圧力負荷による接着メカニズムを解明するために、新たに血管融着デバイスを開発した。平成18年度に開発した血管融着デバイス(以下「鋏型デバイス」)は、振動周波数が広範囲で可変可能であり、振幅は最大で約1 μ m、また血管に与える振動は、血管の円周方向に与えるタイプの装置であった。この鋏型デバイスに対し、今年度に開発した血管融着デバイス(以下「鉤型デバイス」)は、振動周波数を20kHz固定とし、振幅は最大8 μ m、血管に与える振動は血管の半径方向に与えるタイプである。また、血管に与える熱の温度を一定に保つ機能を追加した。装置全体を図1に示す。血管融着ハンドピース部には超音波振動を発生させる電歪素子が内蔵され、熱を与えるためのマイクロセラミックヒーター、温度を測定するための熱電対が取り付けられてい

る。電歪素子、マイクロセラミックヒーター、熱電対はドライバユニットに接続され、最大振幅の調整と血管に与える温度の調整を行っている。

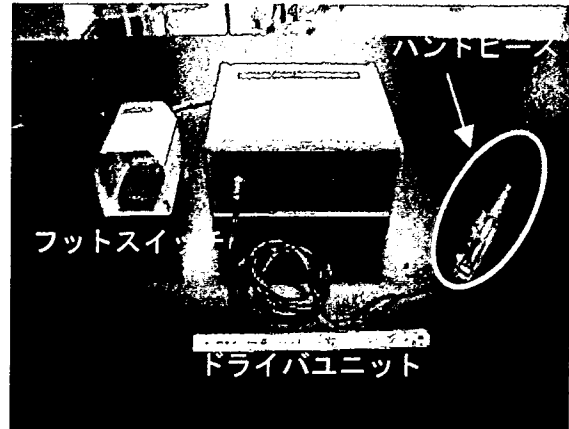


図1 血管融着デバイス

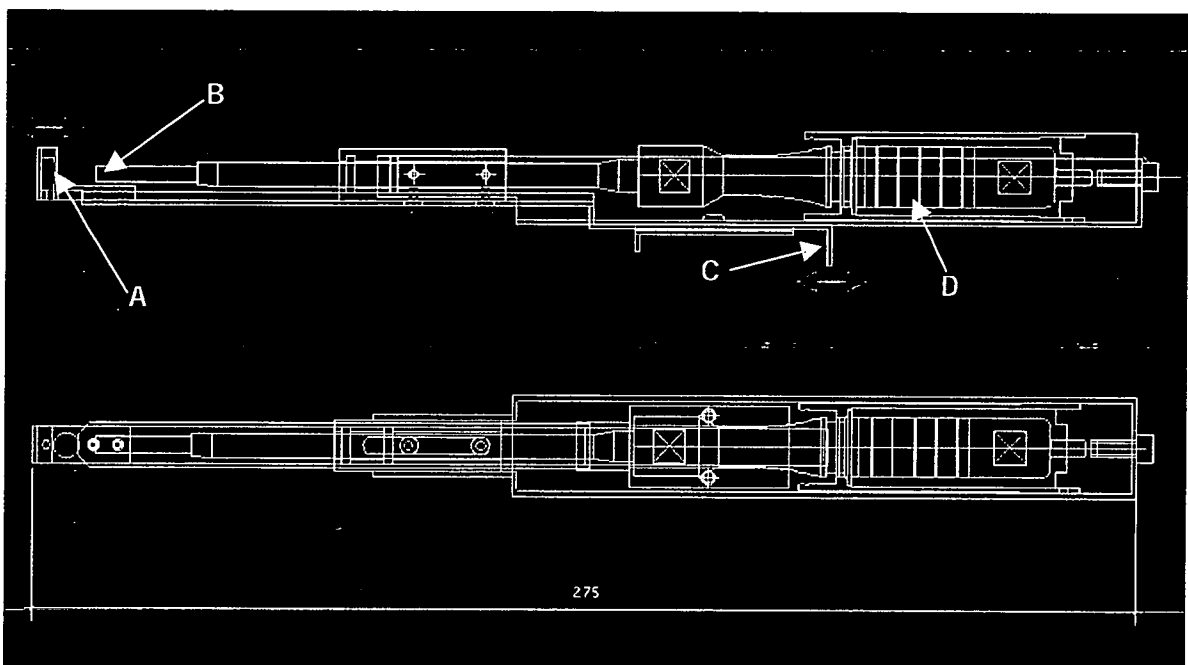


図2 血管融着ハンドピース部図面

B. 1. 2 血管融着ハンドピース部

血管融着ハンドピース部の図面を図2に、写真を図3に示す。さらに先端部の写真を図4に示す。図2においてDの部分に電歪素子(NECトーキン社製)が組み込まれ、Bの部分のハンドピース先端を超音波振動させる。Aの内部にはマイクロセラミックヒーター(坂口電熱社製:MS-M5)及び熱電対(LABFACILITY社製:XS-342-RS)が組み込まれており、設定温度を保つようにコントロールされる。図5に温度コントロールのチャートを示す。AはCのハンドルにてスライドする構造となっており、A-B間で血管を挟み込み、超音波振動並びに熱エネルギー、圧力負荷を与える。

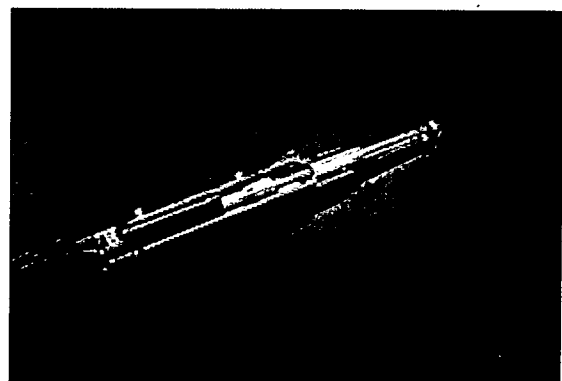


図3 血管融着ハンドピース