

図 40 接触角試験総合結果

C. 2. 8 SEM 観察結果

図 41 に SEM で撮影した N₂ プラズマ処理なしの DLC/PTFE 膜表面の様子を示す。それをさらに拡大したものが図 42 である。

図 43 に N₂ プラズマ処理ありの DLC/PTFE 膜表面の様子を示す。それをさらに拡大したものが図 44 である。

図 41 より、N₂ プラズマ処理をしていない DLC 膜ではクラックが入っている事がわかる。N₂ プラズマをした図 43 をみると、クラックはなくより表面が滑らかであることがわかる。

図 43 より、CF₄0、20%までは表面の凹凸が小さいが、CF₄40%以降では、凹凸が大きくなっている事がわかる。倍率を上げた図 44 より、CF₄0%では棒状をしているが、CF₄の割合を高くすると丸みを帯びていくことがわかる。

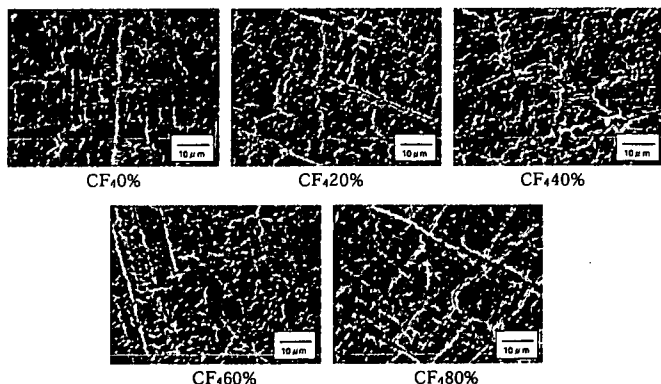


図 41 DLC/PTFE(N₂改質なし)のSEM画像

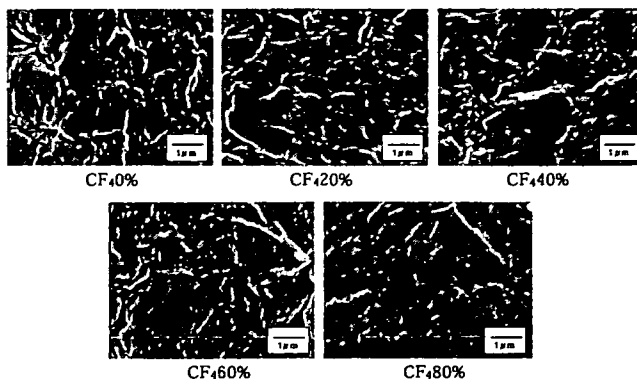


図 42 DLC/PTFE(N₂改質なし)のSEM画像(高倍率)

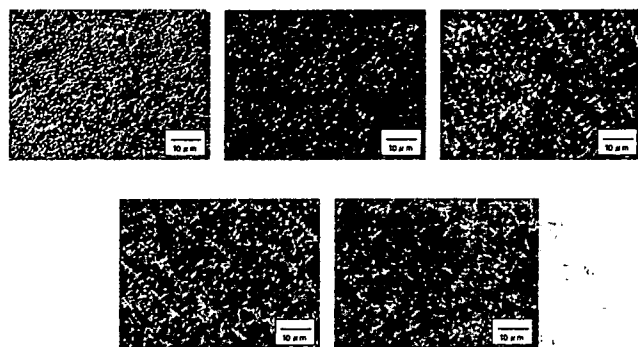


図 43 DLC/PTFE(N₂改質あり)のSEM画像

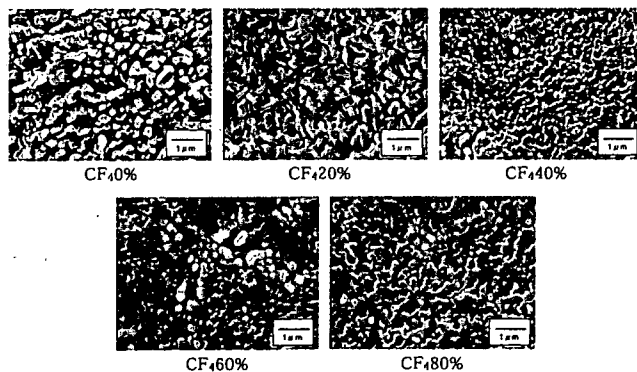


図 44 DLC/PTFE(N₂改質あり)のSEM画像(高倍率)

C. 2. 9 Ball-on Disc 試験結果

PTFE、SUS316の Ball-on disc 試験結果を図 45、図 46、図 47、図 48 に示す。図中の矢印は試験時の回転方向を示している。図中の囲みは、薄膜の剥離した部分である。

図45のPTFEの結果より、 N_2 プラズマ処理なしでは、 CF_4 60%まではコーティングが剥離してしまっており、さらに基板自体も削れてしまっていることがわかる。しかし、80%では剥離している様子は確認できない。一方、 N_2 プラズマ処理ありでは CF_4 20%まではコーティングが剥離してしまっている様子がわかる。しかし、40%からは、剥離している様子が確認できない。これらの結果から、 CF_4 の割合を高くすることによって耐摩耗性が向上することがわかる。また、 N_2 プラズマ処理を行なうことでも耐摩耗性が向上することが確認できる。

図46のSUS316、 N_2 プラズマ処理13[Pa]の結果より、 CF_4 20%のとき、最も剥離が少ない結果となっている。 CF_4 40%のとき薄膜の剥離が大きくなっていることが確認できる。

図47のSUS316、 N_2 プラズマ処理30[Pa]の結果より、 CF_4 0%のとき最も剥離が少なくなっている。 N_2 プラズマ処理13[Pa]と N_2 プラズマ処理30[Pa]のときを比較すると、 CF_4 0%と CF_4 20%では、 N_2 プラズマ処理13[Pa]のときのほうが、剥離が少ないが、 CF_4 40%では N_2 30[Pa]のほうが、剥離が少ない結果となっている。

図48のSUS316、 N_2 プラズマ処理50[Pa]の結果より、 CF_4 の割合が高くなるにつれて膜の剥離が減少しており、耐摩耗性が向上していることがわかる。

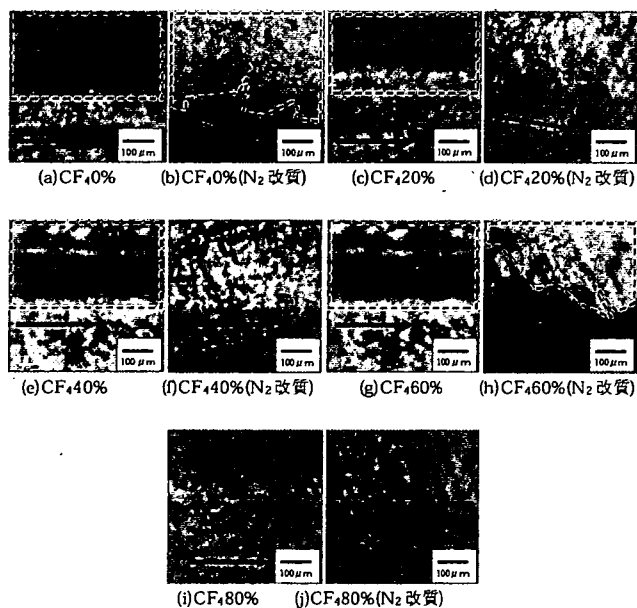


図45 DLC/ PTFE の Ball-on disc 試験結果

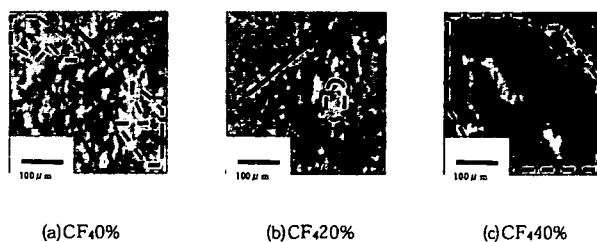


図46 DLC/ SUS316(N_2 プラズマ 13Pa)の Ball-on disc 試験結果



図47 DLC/ SUS316(N_2 プラズマ 30Pa)の Ball-on disc 試験結果

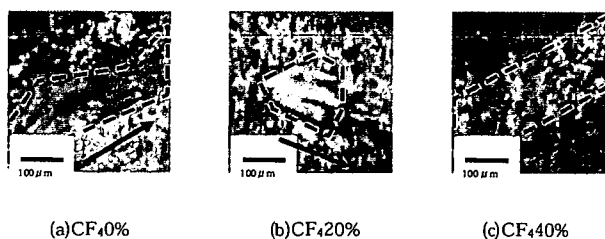


図48 DLC/ SUS316(N_2 プラズマ 50Pa)の Ball-on disc 試験結果

D 考察

ラマン分光分析の結果から、 CF_4 60%までの試料がDLCだと確認されたが、 CF_4 80%ではDLCのピークが確認されなかった。DLCのラマンスペクトルは sp^3 炭素原子が存在していることに起因している。よって CF_4 80%では、 sp^3 結合が少ないためにピークとして現れていないのではないかと考えられる。ここでXPSのC1sピークの結果を見ると、 CF_4 の割合を増やすとC-C結合が減少しているこ

とから、足が4本である sp^3 が減少し、代わりに足が3本である sp^2 結合の割合が増えた、もしくは sp^2 、 sp^3 ともに減少したと考えられる。このことより、図 48 に示すアモルファス炭素膜の分類から、 CF_4 80%ではHCポリマー（高分子状炭素）が生成していると考えられる。

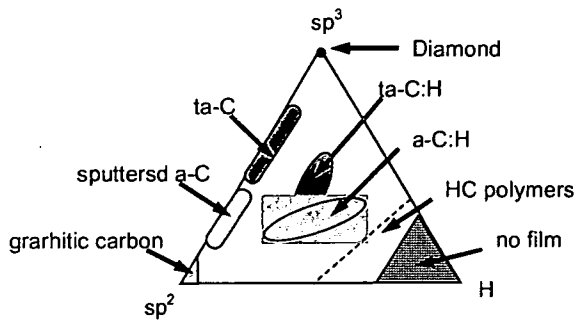


図 49 アモルファス炭素膜の分類

また、XPSの $C1s$ ピークの結果を見ると、 CF_4 の割合を増やすとピークの高エネルギー側にDLC薄膜では見られないピークが存在している。これは炭素がフッ素と結合をすることで、フッ素の大きい電気陰性度の影響を受けたためではないかと推察される⁸⁾。 $F1s$ のピークを見ると、 CF_4 の割合増加によってC-F結合の増加が確認された。C-F結合は CF_2 や CF_3 が主体となっていると考えられ、これらの結合が多く存在すると、表面の疎水性が高くなる⁹⁾。ここで接触角の測定結果をみると、 CF_4 20%では接触角は増加しているものの、 CF_4 40%以降では接触角は CF_4 0%のときよりも低い値となっている。SEMでの表面観察より、 CF_4 の割合を増やすと、 CF_4 40%以上で凹凸が目立つようになる。これは、 CF_4 プラズマによる表面エッチングにより、表面が粗くなったために、接触角が小さくなったものと考えられる。

PTFEは、引張試験において、 N_2 プラズマ前処理なしでDLCをコーティングした場合、 CF_4 の割合を増加すると、付着強度は向上した。 CF_4 0%のとき付着強度は 1.68 ± 0.49 [MPa]であり、 CF_4 80%のとき 2.72 ± 0.69 [MPa]となり、付着強度は約1.6倍向上した。一方、 N_2 プラズマ前処理ありでDLCコーティングを行なった場合、 CF_4 0%では付着強度は 4.37 ± 0.71 [MPa]となり、 N_2 プラズマあり、なしで比較すると、約2.6倍の増加となった。

N_2 プラズマ処理を行うことで、PTFE表面のC-F結合が切られ、代わりにC-N、C=N結合などの窒素官能基が表面に導入され、表面の親水性が上がり、表面エネルギーが高くなることで、密着性

が向上したと考えられる。 CF_4 20%以降では、付着強度は減少していくが、 N_2 プラズマ前処理なしよりは高い付着強度となっている。付着強度が減少したのは、 CF_4 の表面エッチングにより、 N_2 プラズマ前処理によって導入された官能基が除去されたためと考えられる。

Ball-on disc 試験結果より、 CF_4 の割合の増加によって、摺動性が向上した。フッ素の添加量が増え、表面の摩擦が小さくなり、摺動性が向上したと考えられる。

以上のことから、PTFE上のDLC膜は、 N_2 プラズマによって付着強度、接触角、耐摩耗性が向上する。さらにフッ素を添加したDLC膜ではこれらを上回る結果となったが、 CF_4 の割合が増えると付着強度、接触角は減少する傾向となっている。

SUS316は、一般的に言われているCVD法で成膜する際の、金属材料とDLC膜付着性不足の問題のとおり、 N_2 プラズマ前処理なしではDLCが剥離してしまい、コーティングすることができなかった。 N_2 プラズマ前処理を行った場合、SUS316表面にF-OH結合などの親水基やN-Cr結合などの官能基が導入される⁷⁾。親水基の導入によって表面エネルギーが上がり、DLCの基板への密着性は上がると思われる。しかし、 N_2 プラズマ処理を行った場合でも、 CF_4 60%以降では膜が剥離してしまい、コーティングを行うことができなかった。

引張試験とスクラッチ試験の結果をみると、ともに CF_4 40%で密着性が下がっており、剥離しやすくなっている。剥離の原因は先ほど述べたとおり、 CF_4 の表面エッチングにより、 N_2 プラズマ前処理によって導入された官能基が除去されたためと考えられる。

官能基の除去を防ぐために、 N_2 プラズマ前処理後、 CF_4 0%コーティングしてから、 CF_4 20%から80%をそれぞれコーティングする方法で行ったところ、すべての条件で剥離は起きなかった。初めに CF_4 0%でコーティングしたことで、官能基の除去を防ぐ事ができたためではないかと考えられる。また、金属材料とDLC膜の付着性問題の根本的な解決のためにSUS316とDLCの間に中間層としてスパッタリングによりSiを形成させ、DLC膜をコーティングした。

スクラッチ試験の結果より、Siをスパッタリングしない場合、 CF_4 60%のとき最大となり、臨界剥離荷重は 8.30 ± 4.28 [mN]であった。Siをスパッタリングした場合でも CF_4 60%のとき最も高い臨界剥離荷重となっており、その値は 27.97 ± 6.16 [mN]であった。Siをスパッタリングした場合、

臨界剥離荷重は約3.4倍となり、膜の密着性が向上することが確認でき、中間層による密着性の向上が確認できた。Siは周期律表上で炭素の下に位置し、ともに半導体の性質を有するなど、性質が似ている。そのためDLCとの相性が良く、密着性を向上させるための中間層として、有効であると考えられる。

Ball-on disc 試験結果より、N₂プラズマ処理圧力13[Pa]でコーティングしたDLC膜ではCF₄20%のとき、膜の剥離が少なく、CF₄40%では、膜の剥離が大きい。一方、N₂プラズマ処理圧力30[Pa]でコーティングしたDLC膜ではCF₄40%のとき、膜の剥離が少なかった。

N₂プラズマ処理の圧力変化によって、結果が異なったのは、高圧になることによってN₂ガスの分解が促進され、表面に導入された官能基が増えたためと考えられる。接触角試験のSUS316にN₂プラズマ処理した結果から、N₂プラズマの圧力を上げることで、接触角が小さくなり親水性が向上している。このことから表面に導入された官能基が増え、DLC膜の摺動性が向上したと考えられる。

N₂プラズマ処理圧力13[Pa]では、導入された官能基が少ないため、CF₄40%のときでは、CF₄によるエッチングで官能基が除去され、摺動性が低下したと考えられる。N₂プラズマ処理圧力50[Pa]では、表面に導入された官能基が増えたことに加え、CF₄+CH₄でコーティングする前に、CF₄0%すなわちCH₄のみでコーティングを行ったために、摺動性は向上し、CF₄の割合が増えるとフッ素の添加量が増えることから、フッ素の滑りの良さにより摺動性は向上したと考えられる。

接触角試験より、CF₄20%で最大となった。スクラッチ試験における同試料の結果をみると、CF₄60%が最も高い。さらに、Ball-on disc 試験ではCF₄80%が最も摺動性が良い。これらの結果から、CF₄の割合を増やす事で、摺動性、付着強度は向上するが、接触角は表面の粗さにより、若干落ちることが確認できる。

以上、本研究では、PTFE、SUS316へのフッ素添加DLC膜の作製を行った。フッ素の添加量によって膜の密着性及び摺動性が向上し、フッ素添加DLCは優れた薄膜であることが確認できた。一方で、CF₄によるエッチングにより、N₂改質の効果が減少し、またDLCコーティング表面が粗くなるなどの影響が確認された。

E まとめ

本研究では、本研究では、ステント表面の更なる血液適合性の改善と融着装置先端部と組織部の融着防止を目的として、フッ素添加型ダイヤモンドライクカーボン(DLC)をコーティングすることを目的として、コーティング条件の最適化及びその付着強度について測定、検討を行い、以下のことが明らかとなった。

1) コーティング結果

圧力13[Pa]、電力250[W]、基板間距離45[mm]のとき、DLC膜が確認された。また、DLCにフッ素を添加したときはCF₄60%までがDLC膜であることが確認された。XPSの結果より、CF₄の割合を増やすとC-C結合は減少し、C-F結合は増加した。

2) 引張試験

PTFEは、N₂プラズマ前処理を行うことで密着性は向上し、CF₄0%のとき、最高付着強度を示した。

3) スクラッチ試験

SUS316は、CF₄60%のとき最高臨界剥離荷重を示し、Siをスパッタリングすることで、密着性はさらに向上した。

4) Ball-on disc 試験

PTFEはCF₄の割合の増加によって摺動性は向上した。またN₂プラズマ前処理を行うことによって摺動性は向上した。SUS316はN₂プラズマ処理の圧力増加によって摺動性は向上し、CF₄の増加によっても摺動性は向上した。

5) 接触角試験

PTFE、SUS316、SiともにDLCをコーティングすると接触角は大きくなり、CF₄20%のとき最も大きい値となった。

以上のことより、PTFEは、N₂プラズマ前処理は有効であり、SUS316ではN₂プラズマ前処理のみでは満足な付着が得られず、Siの中間層は有効である事が確認された。本研究成果より、ステント表面及び融着装置先端部へのF-DLC膜のコーティングは可能であり、ステントグラフト表面の更なる生体親和性、抗血栓性の付与及び、融着装置先端部の対組織融着防止が期待できるものと考えられる。

F. 研究発表

1. 論文発表

無し

2. 学会発表

永島勲、尾関和秀、生体材料を目的とした DLC コーティング高分子材料の機械的特性評価、平成 19 年度茨城講演会予稿集 P53-P54 (2007.9.28)

吉原裕貴、尾関和秀、スパッタリング法により作製されたハイドロキシアパタイト薄膜の薬剤吸着特性評価、平成 19 年度茨城講演会予稿集 P55-P56 (2007.9.28)

永島勲、佐藤修平、尾関和秀、生体材料を目的とした DLC コーティング高分子材料の機械的特性評価、第 23 回ライフサポート学会予稿集 P109 (2007.10.2)

吉原裕貴、尾関和秀、スパッタリング法によるハイドロキシアパタイト薄膜の薬剤吸着特性評価、第 23 回ライフサポート学会予稿集 P110 (2007.10.2)

吉原裕貴、尾関和秀、増澤徹、スパッタ HA 薄膜の薬剤吸着特性、第 20 回アパタイト研究会予稿集 P42-43 (2007.12.17)

G. 知的財産権の出願・登録状況

茨城大学から出願準備中

厚生労働科学研究費補助金
(医療機器開発推進研究事業：身体機能解析・補助・代替機器開発研究)
分担研究報告書

ナノ振動子と制御回路の設計、製作に関する研究

分担研究者 木村 孝之 茨城大学工学部システム工学科准教授

研究要旨 磁気センサは人間の感覚器官では検知できない磁束密度を計測するセンサである。測定対象に永久磁石を取り付けることで位置検出が可能であり、人工心臓の磁気浮上モーターの回転制御などに広く用いられている。半導体を用いた磁気センサにホール効果を利用したホール素子があり、一般的に高感度である InSb や GaAs のバルク材料を使用している。バルク材料を用いたのホール素子により正確な一計測を行うには複数個のセンサが必要であり、製作工程においてコストやスペースが問題となる。そこで MOSFET(Metal Oxide Semiconductor Field Effect Transistor)の反転層を利用した磁気センサをアレイ状に集積化した集積化磁気センサに関する研究が行われている。ホール素子を集積化させた磁気センサはバルク材料を用いたホール素子と比べて多くのメリットが挙げられる。具体的には、前述した問題点は集積化磁気センサチップを用いることで解決可能であり、増幅回路と共に集積化することで低感度である Si を用いたホール素子のデメリットを補うことができる。さらに、ホール素子をアレイ状に集積化することで、これまで『点』で測定していた磁束密度を『面』で計測可能であることから、より精密な磁束密度の計測が可能である。さらに、磁束密度は磁石付近では距離の 2 乗に反比例して低下することから磁石の位置や傾き、形状までワンチップで知ることができる。

本研究では高速に移動するナノ振動子の位置検出を可能にする磁気センサチップの開発を目標とする。また、センサに要求される速度を、回転する軸に取り付けた磁石を測定することにより明らかにする。

A. 研究目的

本研究ではナノ振動子を取り付けられたステントが正しく患部に位置しているかを計測するための位置計測システムの構築を目的とする。現在ではX線などにより確認が行われているが、患者への負担や装置規模の点で問題となる。そのため、ステントの位置や向きを磁気センサにより簡便に知ることが出来れば様々な問題の多くを解決できると考えられる。

B. 研究方法

本研究では、高速に移動するステントの位置や傾きを遅れなく計測することができる磁気センサの開発を行う。これまでの磁気センサでは 1000fps 程度の速度で測定が可能であった。これよりも早く動く物を計測しようとするとう像がぶれた有り、一計測を正しく行うことができなくなる。この応答速度を、磁気センサの構造や駆動方

法、さらに増幅回路を工夫することにより改善する。

C. 研究結果

C. 1 磁気センサの概要

C. 1. 1 バルク材料を用いたホール素子

ホール素子とは、半導体に電流を流し、電流に対して直交する方向に磁束密度をかけることで半導体内に発生する電位差を二つの出力端子で計測する磁気センサである。磁束を印加前と、印加後のホール素子内におけるキャリアの動きを図 1-1、1-2 に示す。

図 1-2 中のホール素子の X 軸プラス方向に電流を流し、Z 軸プラス方向に磁束密度をかけることで Y 軸マイナス方向にローレンツ力が発生する。これをホール効果という。ホール素子内を移動する電子はローレンツ力の影響を受けながら進むため、電位の偏りが発生する。この電位差を二つ

の出力端子でホール電圧として読み出す。

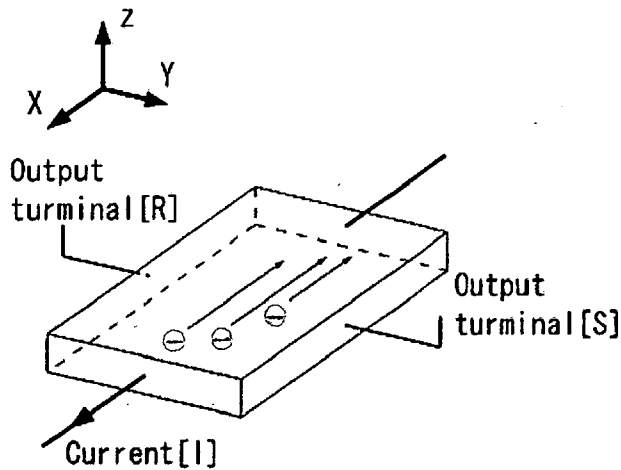


図 1-1 ホール素子(磁束印加前)

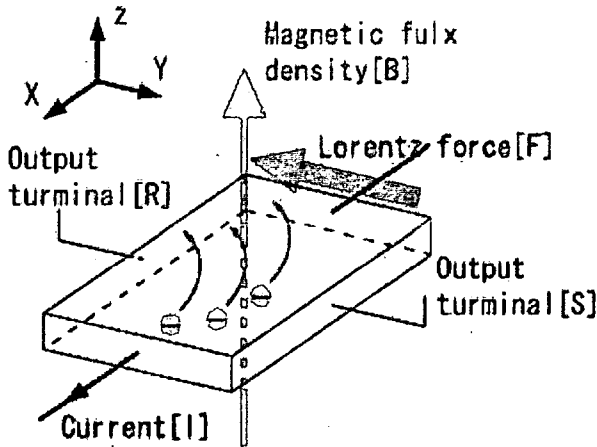


図 1-2 ホール素子(磁束印加後)

ホール電圧を求める式を (1)、(2) に示す。この式よりホール電圧はホール係数、素子に流れる電流、素子にかかる磁束に比例し、素子の厚さに反比例する事がわかる。ホール係数は材料によって決まる値である。ここで磁束の強さ、流れる電流を一定とすれば、素子の厚さが薄いほど高いホール電圧を得られる事が分かる。

$$V_H = \frac{R_H \cdot I \cdot B}{d} \dots\dots\dots (1)$$

$$R_H = \frac{1}{e \cdot n} \dots\dots\dots (2)$$

V_H : ホール電圧 R_H : ホール係数
 I : 素子に流れる電流 d : 素子の厚さ
 B : 素子に垂直にかかる磁束 e : 電子素量
 n : 半導体の電子密度

C. 1. 2 MOSFET の反転層を利用したホール素子

本研究では MOSFET の反転層をホール素子として利用している。MOSFET とは、金属(Metal)-酸化膜(Oxide)-半導体(Semiconductor)で構成された電界効果トランジスタ(Field Effect Transistor)で、ゲートに電圧を印加することによりドレイン-ソース間の電流量をコントロールすることができるトランジスタである。

電子は正孔と比べ移動度が高いので、キャリアが電子である N チャンネル MOSFET を用いる。N チャンネル MOSFET の場合、P 型の Si 基板の表面に二酸化シリコンによる酸化膜とゲート金属を形成し、ゲート領域をはさむように不純物イオンを注入することで N 型領域であるドレイン・ソース領域を形成する。

ドレイン-ソース間に電圧を印加することでドレイン領域付近における電子のポテンシャルエネルギーが下がり空乏層が発生する。この状態でゲートに低い正の電圧を印加することで P 型基板の酸化膜界面付近における電子のポテンシャルエネルギーが下がり、ソースからドレインへ拡散によって電流が流れ始める。その状態からゲートと基板間の電圧を高めることで、P 型半導体にもかかわらず P 型基板の酸化膜界面付近に電子の層が形成される。この現象を反転といい、層の状態で作成されるため反転層と呼ぶ。このとき、ドレイン-ソース間における電子のポテンシャルエネルギーの勾配により反転層はゲート直下でも均一に形成されず、ドレイン近傍では反転層が薄くなっている。さらにゲートに正の電圧を印加して、その値が閾値 V_T 以上になるとドレイン近傍の反転層が途切れる現象が発生する。これをピンチオフといい、反転層が途切れた領域では強力な電界により電流が流れ、ドレイン-ソース間に流れる電流は飽和状態となる。図 1-3 に駆動時の N チャンネル MOSFET の構造を示す。

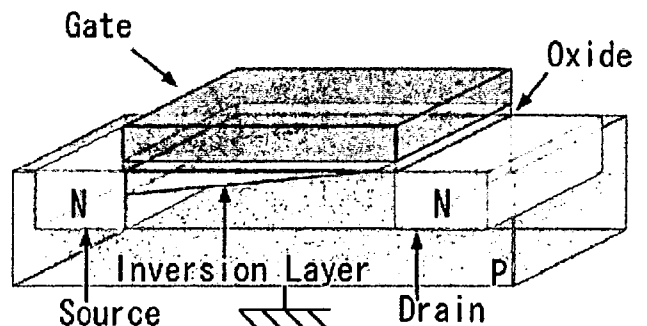


図 1-3 N チャンネル MOSFET

この反転層に対してホール効果を起こし MOSFET をホール素子として利用する。図 1-4

に MOSFET の反転層を利用したホール素子を示す。駆動中の MOSFET の反転層に対して磁束をかけることによってチャンネル内の電子がローレンツ力 F によって曲げられながら進む。このとき発生した電位差を反転層の両端に作製された二つの出力端子 R、S によって測定する。ホール電圧を測定する出力端子 R と出力端子 S はドレインとソースと同じ N 型半導体であるため、作製に特別なプロセスを必要とせず、ドレインやソースと同時に不純物イオンを注入することにより作製できる。

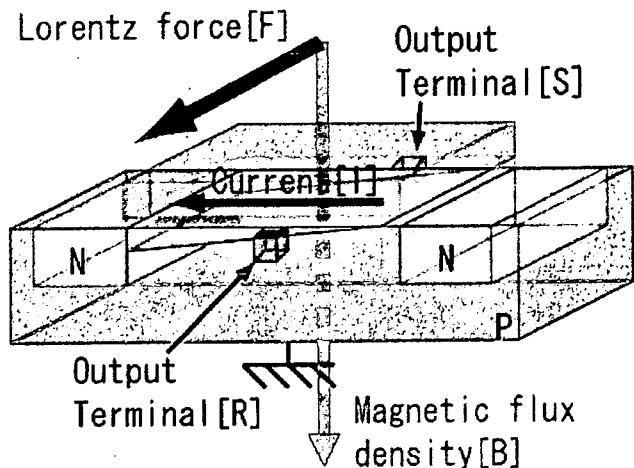


図 1-4 MOSFET を利用したホール素子

図 1-3、1-4 の反転層ではドレインからソースへ向かい電流が流れている。図 1-4 のように磁束密度をかけることでホール効果が起こり、ローレンツ力が図 1-4 の奥から手前に向かい発生する。これにより電子はローレンツ力を受けながら進むため、出力端子 R は負に帯電し、出力端子 S は正に帯電する。二つの端子間の相対的な電位差をホール電圧 V_H として測定することで MOSFET を磁気センサとして使用できる。

C. 1. 3 二次元磁束分布図を用いた磁石の中心位置の検出方法

二次元磁束分布図から磁石の中心位置を検出する方法を説明する。磁束密度は、磁石付近では距離の 2 乗に反比例する。よって、磁石の中心部に近いほど磁束密度が強く、出力電圧が高くなると考えられる。磁石の中心位置を検出するには、出力されたデータの特徴抽出が必要である。本研究では、出力された二次元磁束分布図に対して二値化処理を施して特徴抽出を行う。

二値化とは閾値を決定し、その値より大きければ 1(黒)、小さければ 0(白)の 2 種類の値で画像をあらわす処理である。円柱状の磁石を中央に近づけた際の二次元磁束分布図のイメージと二値化処理の例を図 1-5 に示す。

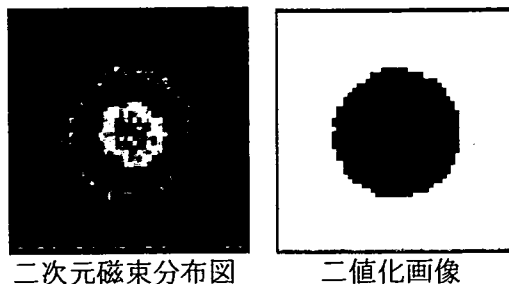


図 1-5 二値化処理

二値化画像に対してパターンマッチングを行うことで中心位置の検出が可能である。パターンマッチングとは、対象の画像に対して近いパターンを持つ画像を比較して合わせる方法である。比較の処理の手順は、まず二値化画像から仮の中心位置と半径を決定する。その後、中心位置と半径を交互に変更しながら相関係数を求め、最も高い値が出た位置を磁石の中心位置とする。今回の測定で使用した磁石は円柱状の磁石なので円形に近い二値化画像が得られると仮定して、用意した円形のパターンを用いてパターンマッチングを行う。パターンマッチングのイメージを図 1-6 に示す。

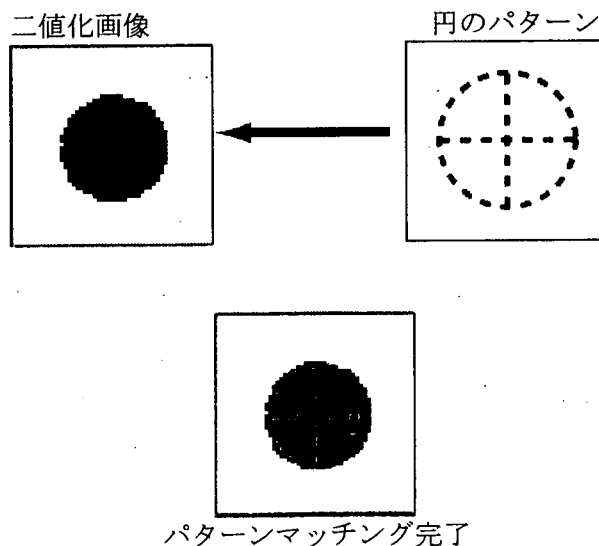


図 1-6 パターンマッチング例

C. 1. 4 集積化磁気センサを用いたモーターの制御方法

ホール素子でモーターを制御する場合、通常では複数個のホール素子を必要とする。複数個のホール素子を等間隔に取り付けるため、設置コストやスペースが問題になる可能性がある。しかし、集積化磁気センサを用いることによりワンチップで制御を行うことが可能であるため、設置コストやスペースといった問題は解決できる。この節

では集積化磁気センサを用いたモーター制御について説明する。

集積化磁気センサを用いたモーター制御のイメージを図 1-7 に示す。図 1-7 はモーターの軸の中心から偏心させた位置に永久磁石を取り付け、軸の直下に磁気センサチップを配置してある。

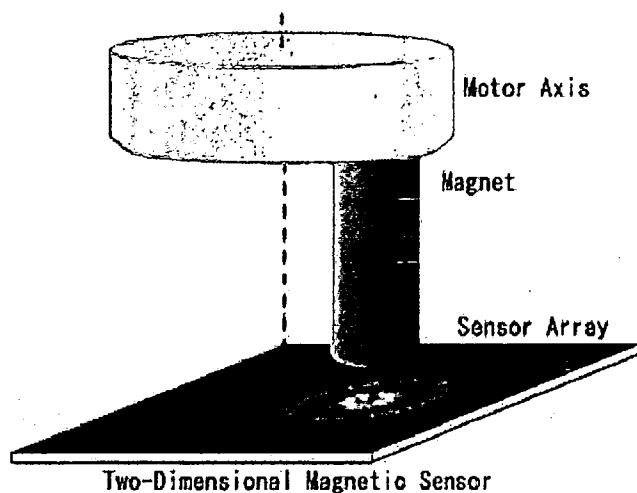


図 1-7 集積化磁気センサチップ使用方法

図 1-7 では、円柱状の磁石のため二次元磁束分布図は円形の出力と仮定している。このとき得た二次元磁束分布図に対して、前節で述べたパターンマッチングを行うことで磁石の中心位置を求める。連続で二次元磁束分布図を読み出し、磁石の中心位置を検出することでモーターの回転数がわかる。また、磁石の中心位置だけではなく磁石の傾きや形状もわかるため、これによりワンチップでモーターの制御が実現可能である。図 1、図 2 にホール素子の構造を示す。図 1 に示すような直方体の N 型半導体の X 軸方向に電流 I を流す。ここで図 2 のように Z 軸負方向に磁束 B を印加すると Y 軸正方向にローレンツ力 F が発生する。半導体中を X 軸方向に進んでいた電子は、このローレンツ力 F によって進行方向に対して右向きの力を受け、次第に出力端子 R 側に集まる。すると端子 R 側と端子 S 側において、キャリア濃度が非平衡の状態となり電界が生じる。この電界が電子に作用する力はちょうどローレンツ力を打ち消す方向 (Y 軸負方向) に働くため定常状態となり、電流は X 軸方向のみに流れるようになる。この現象をホール効果と呼び、このとき端子 R、S 間に生じた電位差がホール電圧 V_H である。このホール電圧 V_H を測定することによって磁束 B を電圧に変換して出力することができる。

C. 2 集積化磁気センサの一次試作

C. 2. 1 一次試作の概要

本研究で使用した一次試作の磁気センサは ROHM 社の $0.35\mu\text{m}$ 標準 CMOS プロセスルールで作製された。チップサイズは 4.9mm^2 であり、センシングエリアは 3.2mm^2 となっている。センシングエリアには $50\mu\text{m}^2$ の磁気センサが 64×64 のアレイ状に配置されている。磁気センサチップの写真を図 2-1 に示す。

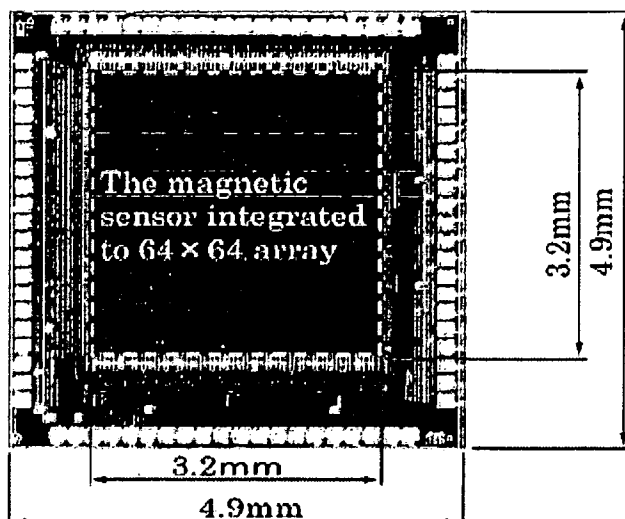


図 2-1 磁気センサチップ写真

磁気センサチップは、トランジスタスイッチによって順次読み出す Pixel を選択する読み出し方式とした。また、磁気センサの駆動方式は、消費電力を抑えることが可能なダイナミックドライブ方式である。ダイナミックドライブ方式とは、常時すべてのセンサを動かさずに測定に必要なセンサだけを読み出しに合わせて駆動する方式である。本研究では常に 4 行のセンサのみを駆動して測定を行う。

C. 2. 2 読み出し回路

集積化磁気センサにおけるホール電圧の読み出し回路のブロック図を図 2-2 に示す。1 つの Pixel はホール素子と P チャネル MOSFET を用いたトランジスタスイッチを含めて $50\mu\text{m}^2$ である。ホール素子からの出力は P チャネル MOSFET を用いたトランジスタスイッチと N チャネル MOSFET を用いたトランジスタスイッチにより選択され、順次読み出される。このとき、各トランジスタスイッチはソースフォロアの構造になっている。2 つの出力はそれぞれチップ上で P 型ソースフォロア・N 型ソースフォロア・ボルテージフォロアを通して出力され、チップ外の

作動増幅器によって 20 倍に増幅してホール電圧として測定する。一次試作によるホール電圧の出力回路を図 2-3 に示す。また、 V_{pb} と V_{nb1} 、 V_{nb2} は各ソースフォロアのアクティブロードへのバ

イアスであり、Col、Sel はそれぞれ列と行の選択信号である。

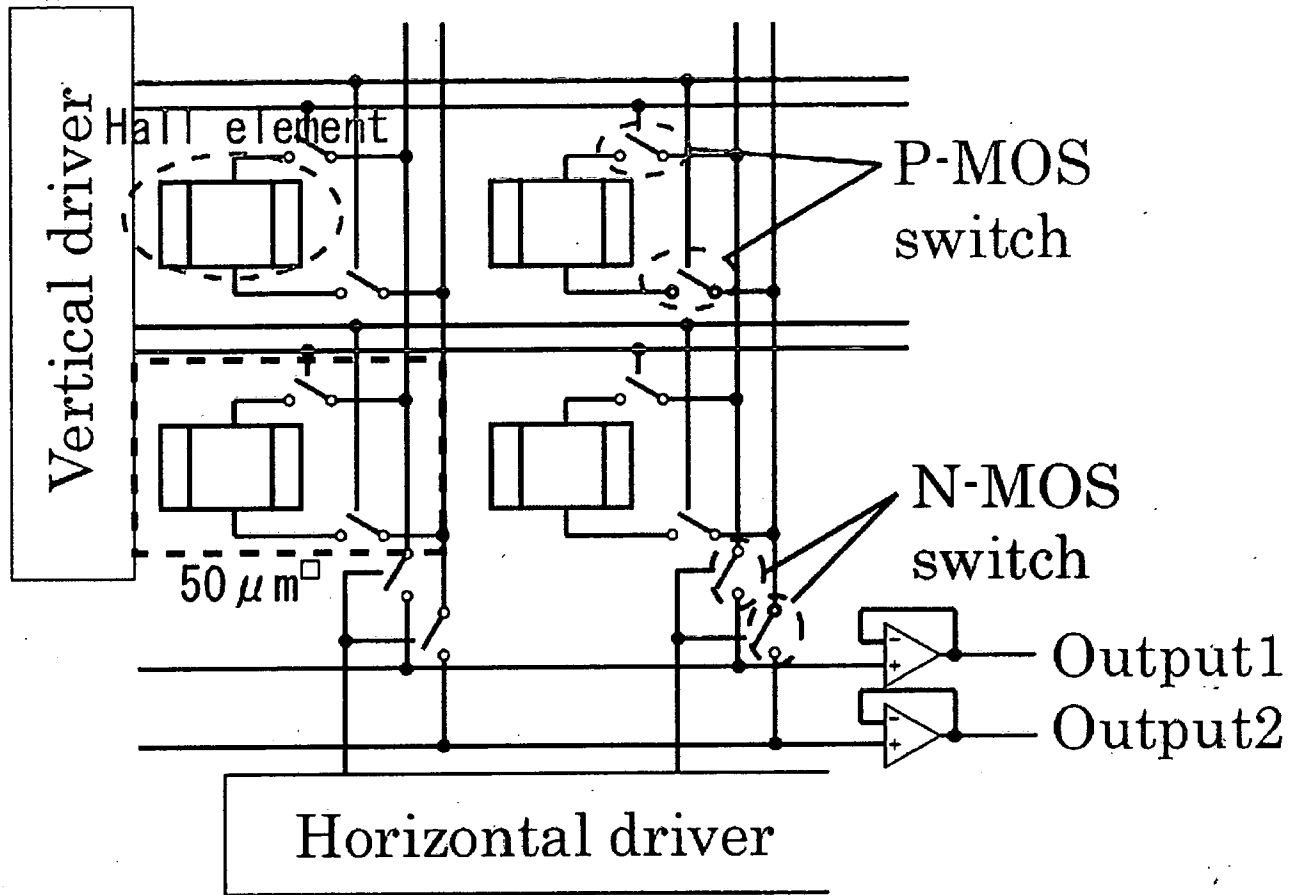


図 2-2 読み出し回路ブロック図

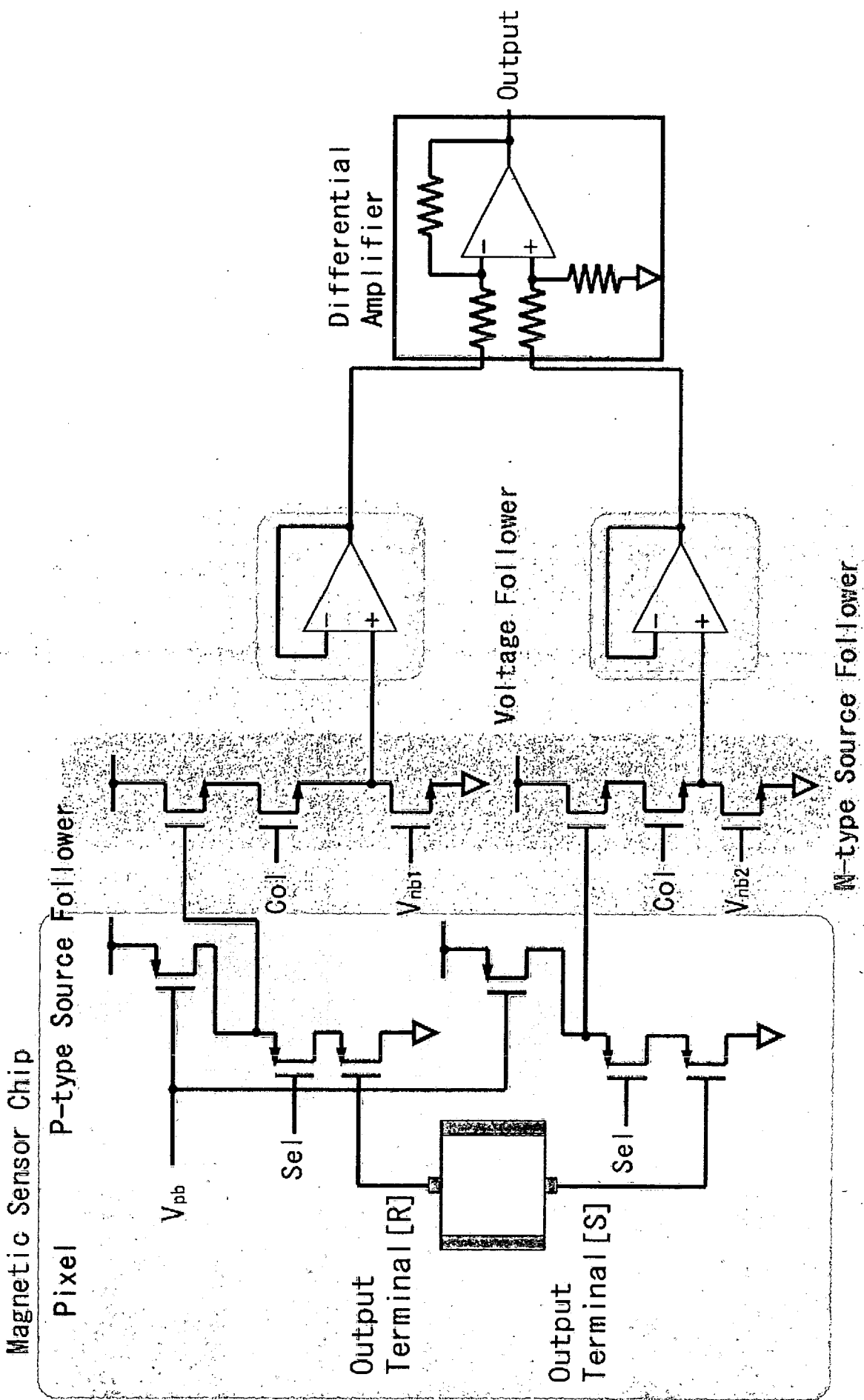


図2-3 ホール電圧の出力回路図

C. 2. 3 一次試作のチップ搭載基板

磁気センサチップをアルミニウムの土台で磁束印加装置に固定できるように一次試作のチップを搭載する基板(以下、一次試作センサ基板)を設計した。既存の測定で使用されたセラミックパッケージのリードフレームには鉄が使われており、それが磁化されてしまい磁束の測が正しく行えないという問題があった。よって、非磁性の材料のみを用いて設計を行った。

集積化磁気センサチップで測定するために設計された基板の写真を図 2-4 に示す。測定基板の中央に磁気センサチップが配置されており、測定基板上に配置された作動増幅器によって増幅して出力する。作動増幅に用いたオペアンプは LinearTechnology 社製の LT6200 である。

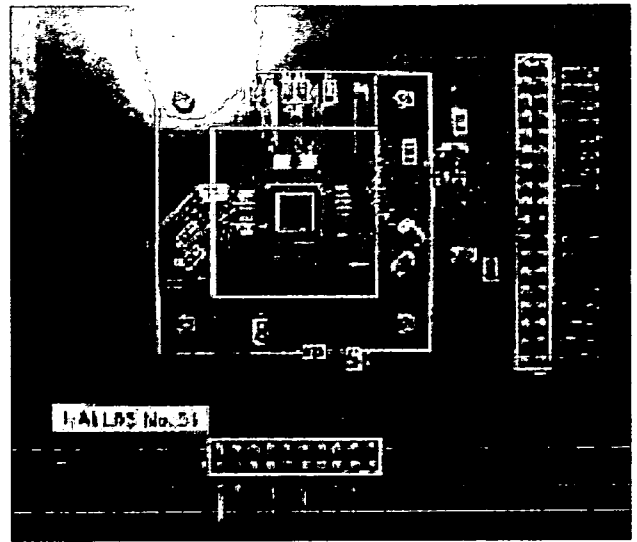


図 2-4 一次試作センサ基板の写真

C. 2. 4 測定の流れ

今回の実験に用いた ADC 変換を兼ねたホール電圧測定ボード(以下、測定ボード)の写真を図 2-5 に示す。測定ボードは 5V のアナログ・デジタル電源と 3.3V のデジタル電源、合計 3 つの電源で駆動する。ノイズ対策としてアナログ部とデジタル部を離し、デジタルアイソレータを用いている。ADC とデジタルアイソレータはそれぞれ AnalogDevice 社製の AD9240 と NVE 社製の IL715 である。

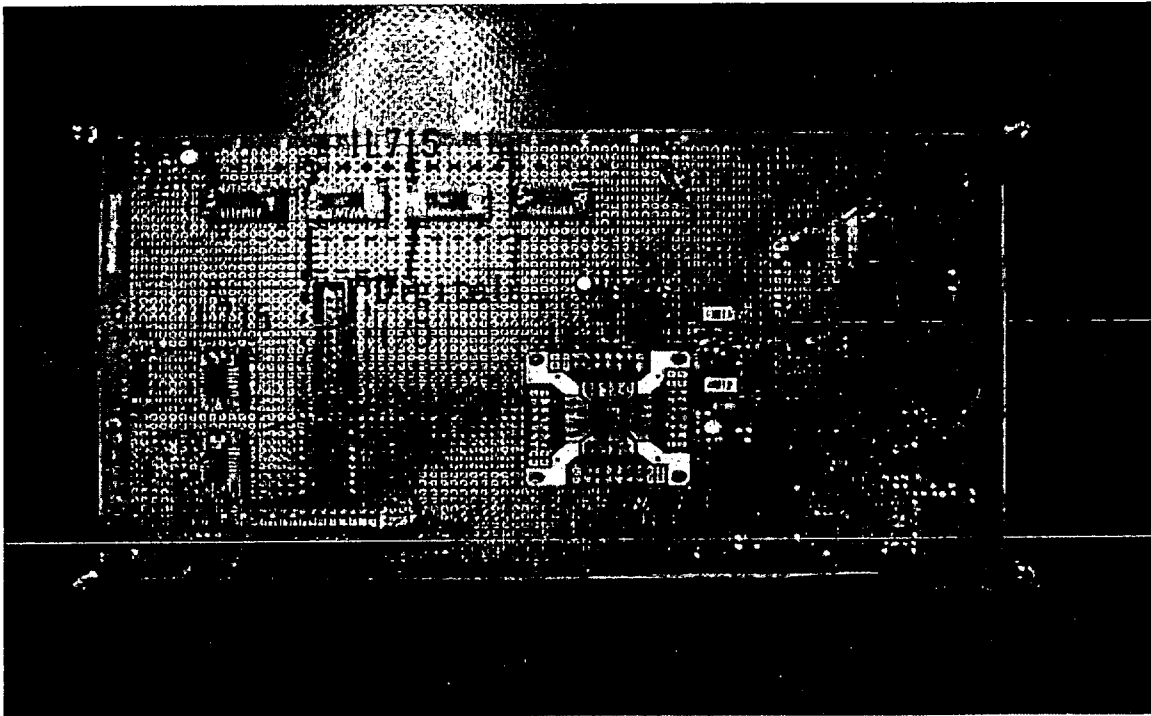


図 2-5 測定ボード写真

デジタル制御信号(Digital Input)が信号発生器から測定ボードへ入力され、デジタルアイソレータを通して5Vから3.3Vに電圧変換される。変換された制御信号はデジタル入出力(Digital I/O)とアナログ入出力(Analog I/O)によって一次試作センサ基板へ入力され、集積化磁気センサチップを駆動する。磁気センサチップから出力されたホール電圧は差動増幅により一次試作センサ基板上で差をとりつつ20倍に増幅され、アナログ入出力(Analog I/O)によって測定ボード兼ADC変換ボードへ入力される。その後、ADCによってアナログ信号から14-bitのデジタル信号に変換され、デジタルアイソレータを通して3.3Vから5Vに電圧変換されてPCへ出力される。測定ボードからPCへのインターフェイスは最大32チャンネル転送可能なケーブルを使用した。

C. 2. 5 磁束印加装置

実験で使用した磁束印加装置のX-Y-Zステージに基板を固定した写真を図2-6に示す。この磁束印加装置はXステージ、Yステージ、Zステージの3軸にそって最小10 μ m単位で動かすことができる。今回測定を行う集積化磁気センサチップにおける1つのPixelの大きさは50 μ m²であるため十分な精度といえる。

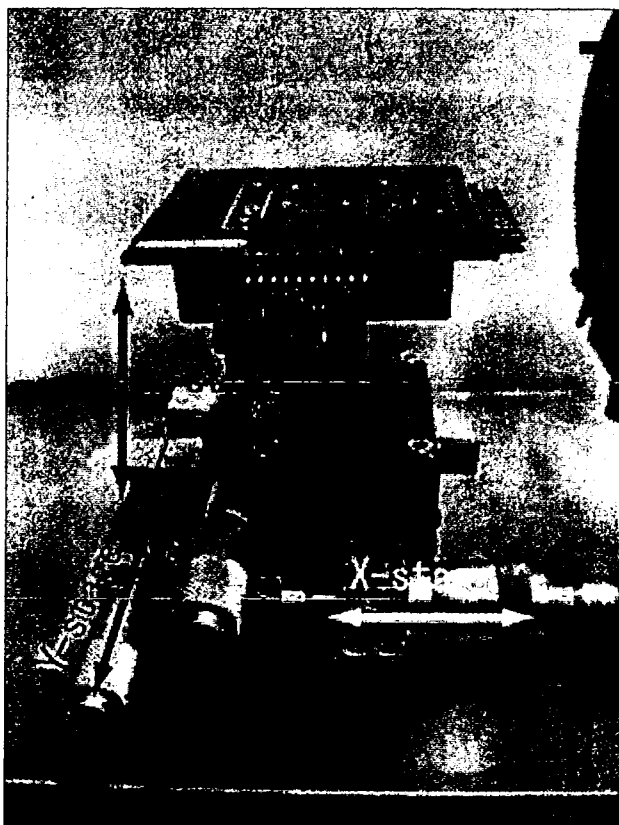


図2-6 磁束印加装置のステージ

図2-6にある磁束印加装置に回転数を制御可能なモーター設置し、その軸に磁石を取り付けて二次元集積化磁気センサチップの上で回転させることで測定を行う。モーターを設置した磁束印加装置の写真を図2-7に、図2-7の基板を拡大した写真を図2-8に示す。また、モーター軸に取り付けた磁石は直径1mmの円柱状の磁石であり、軸の中心から1mm偏心させた位置に取り付けられている。磁石からチップまでの距離は2.95mmであり、磁石の中心における磁束密度は0.48Tである。モーターはデジタルメーターにより最小1rpm単位で制御でき、最大3000rpmでの動作が可能である。

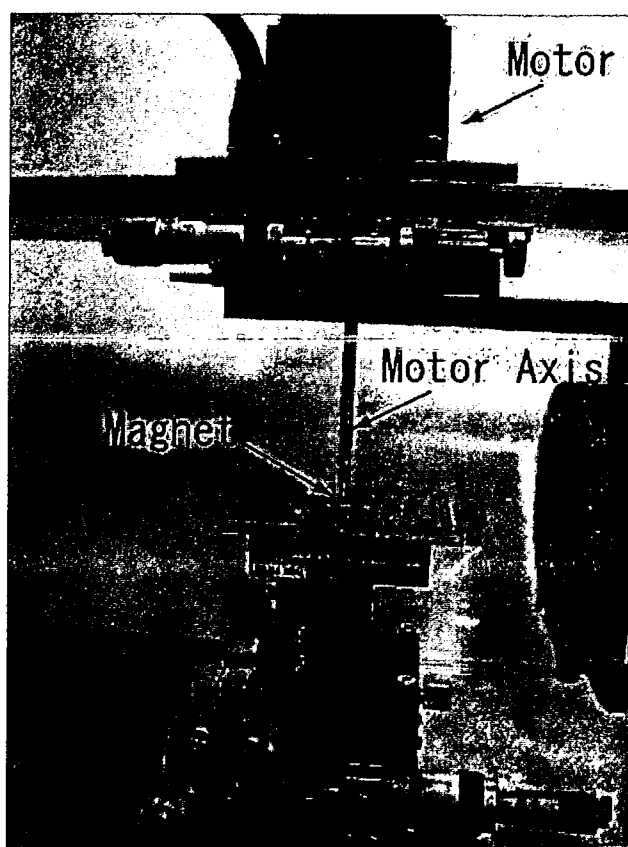


図2-7 モーターを配置した磁束印加装置

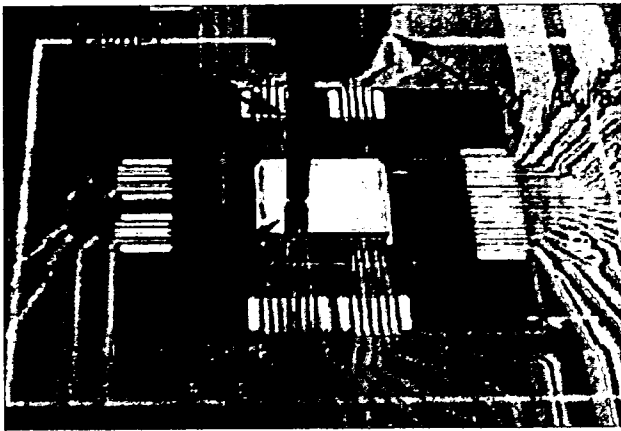


図 2-8 モーターを配置した時のセンサ基板の拡大図

C. 2. 6 二次元磁束分布図の読み出し方法

集積化磁気センサチップのデータの読み出しはローリングシャッター方式で行われている。ローリングシャッター方式とは読み出す Pixel を選択し、1 行ごとにデータを蓄積し、1 つの Pixel ずつ順番にデータを取得する読み出し方法である。読み出しのイメージを図 2-9 に示す。

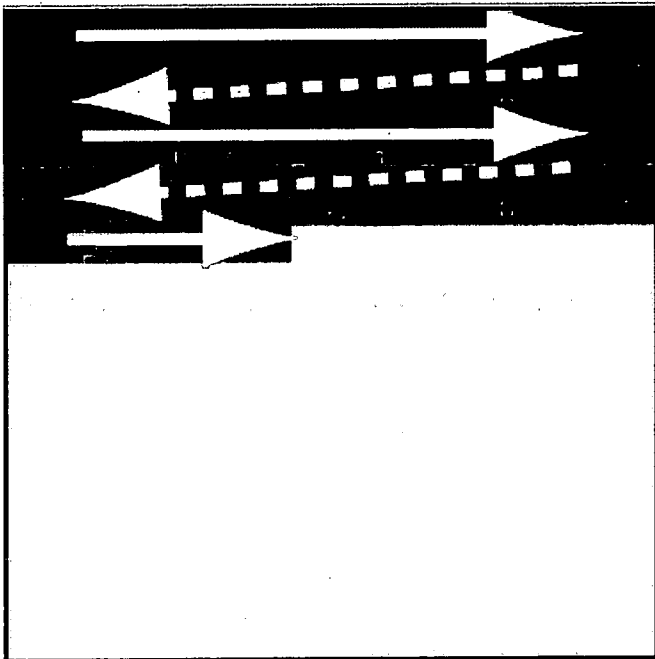


図 2-9 ローリングシャッター方式

図 2-9 は 1 行 1 列の Pixel から列を変更しつつ 1 つずつ読み出している。1 行のすべての Pixel を読み出すと 2 行目の Pixel に移り、最終行の最終列の Pixel まで読み出すことで一枚分の二次元磁束分布図の読み出しが終了する。

ローリングシャッター方式では順番に各 Pixel からデータを読み出すが、その間も磁石は移動し続ける。そのため、高速で移動する磁石を測定した場合に像の歪みが発生する。これにより、円柱状の磁石を用いても正確な円形の二次元磁束分布図にはならず像が歪んでしまい精密な位置検出が困難となる。磁石の像が垂直方向に歪んだ二次元磁束分布のイメージを図 2-10 に示す。

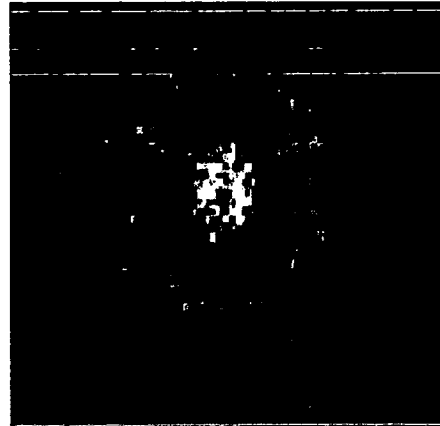


図 2-10 像の歪んだ二次元磁束分布図イメージ

図 2-10 の様に歪んだ二次元磁束分布図から精密な磁石の中心を求めるにはソフトウェアによる補正が必要である。

次に、像の歪みの算出について説明する。集積化磁気センサの読み出しは行を固定したまま列を切り替えて読み出し、すべて列を読み出した後に行の切り替えを行う。そのため、水平方向に高速で動く磁石の二次元磁束分布図と比較して垂直方向に高速で動く磁石の二次元磁束分布図に歪みが大きく現れる。よって、本研究では半時計回りに回転する磁石が 270° の位置での垂直方向の二次元磁束分布図の歪みをその回転数における歪みの最大値とし、二値化処理により特徴を抽出に適したデータに変換した二次元磁束分布図から歪みを算出する。二値化処理を施した二次元磁束分布図による像の歪みの算出方法を図 2-11 に示す。

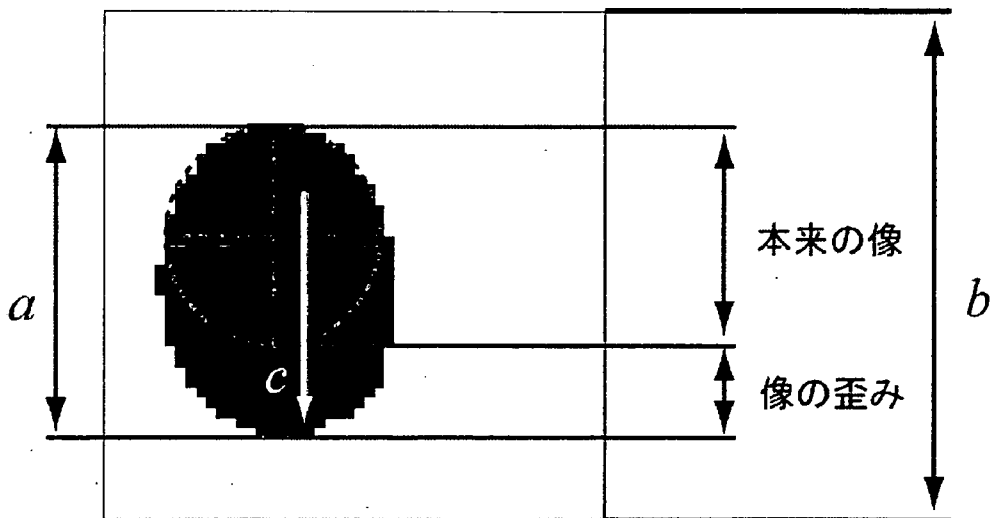


図 2-11 歪みの算出方法

このときの a は二値化処理を施したデータにおける 1(黒)のデータの垂直方向の長さ、 b は全体の垂直方向の長さ、 c は 1 枚撮像する間に磁石が動く距離である。像の歪みを表す式を式(3)に示す。

$$\text{像の歪み} = c \times \frac{a}{b} \dots\dots\dots (3)$$

像の歪みの単位は[m]である。また、 c は集積化磁気センサチップの読み出し速度[frame/sec](以下、fps)の逆数から算出する。

C. 2. 7 応答速度の測定

現在、二次元磁束分布図の読み出し速度は最大で 1647fps(1sec に 1647frame)、ノイズが少ない画像では 976fps を達成している。しかし、人工心臓に用いられる磁気浮上モーターは 3000rpm で回転するため、現在の読み出し速度では十分といえず、磁束分布の像が歪むと考えられる。よって、3000rpm で回転するモーターに取り付けられた磁石が発する磁束分布の像の歪みが 1 画素(50 μ m)以内に収まる読み出し速度を目標値として磁気センサチップの応答速度の測定を行い、前節で述べた計算による歪みの算出と円形のパターンを重ね合わせによる歪みの検出を行った。

各読み出し速度(244fps、488fps、976fps、1464fps)と各回転数(400rpm、1000rpm、3000rpm)において磁石が 270° の位置にある二次元磁束分布図の測定結果を図 2-13 に示す。図 2-12 は二次元磁束分布図と二値化処理を施した図を並べて配置しており、二次元磁束分布図は高い出力ほど明るくなり、低い出力ほど暗くなって

いる。

図 2-12 から回転数の増加に伴い、垂直方向に像の歪みが大きくなっており、読み出し速度の増加に伴い像の歪みが小さくなっていることがわかる。特に 244fps・3000rpm において像の歪みが顕著である。976fps・3000rpm では目に見える程の歪みは無いが、読み出し速度の高速化とモーターの回転の影響により像が円形になっていない。

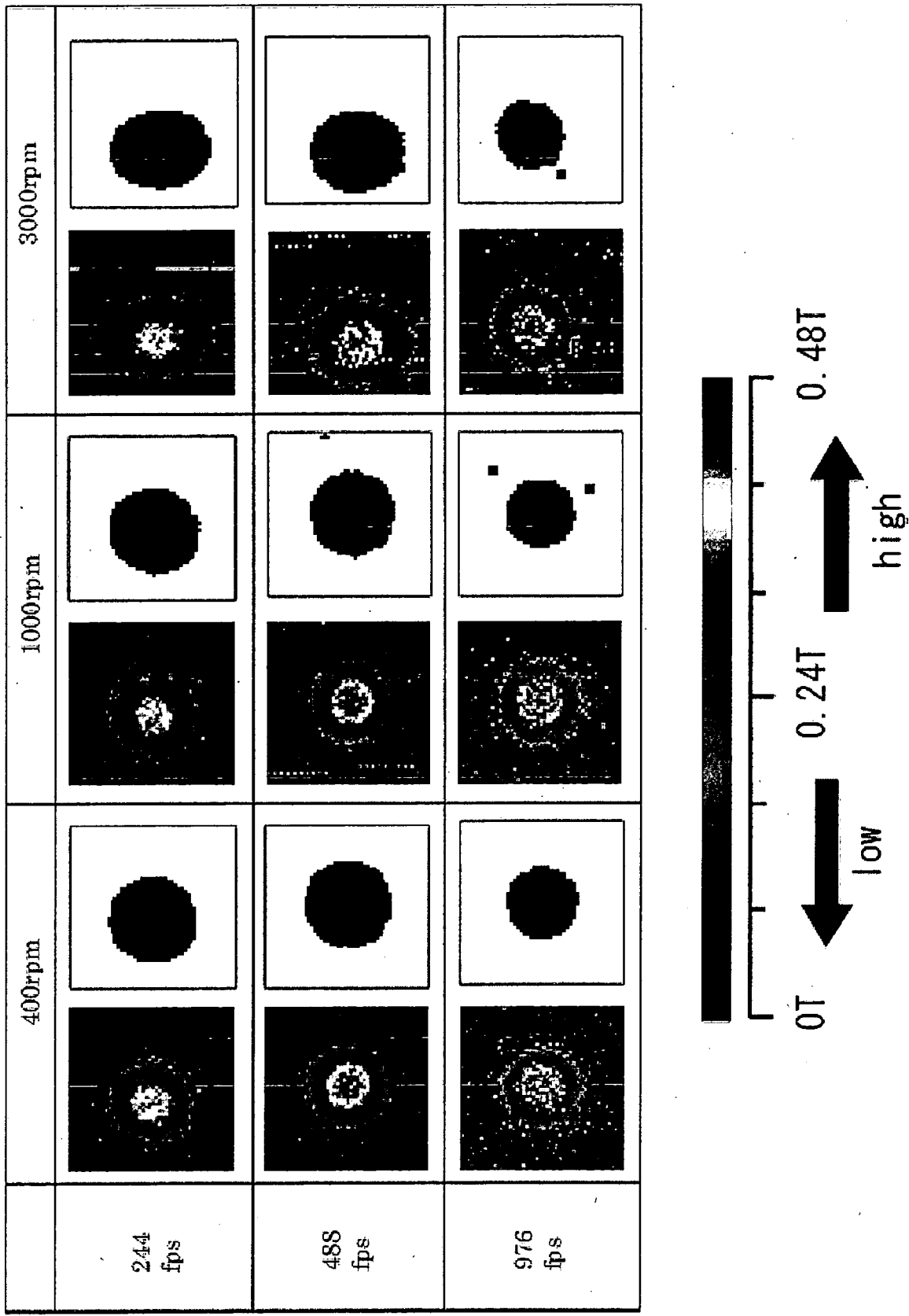


図 2-12 二次元磁束分布図の測定結果

また、二値化処理を施したデータは 976fps からノイズの影響が始め、それ以上の読み出し速度ではノイズの影響を大きく受けるため有効な二値化画像が得ることができなかつた。例として 1220fps の読み出し速度でモーター回転無しの二値化したデータを図 2-13 に示す。よって、本研究では 976fps までの読み出し速度における像の歪みの算出と円形のパターンによる歪みの検出を行った。

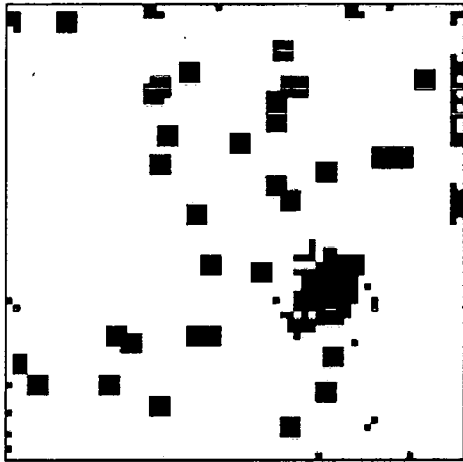


図 2-13 1220fps・0rpm の二次元磁束分布図特徴抽出

まず、1 枚撮像する間に磁石が移動する距離 c を読み出し速度から算出した。その結果と、図 2-12 の二値化画像の黒(1)の像の垂直方向の長さ b 、全体の垂直方向の長さ(a)から、式(4)を用いて歪みの算出を行った。計算の結果を表 2-1 に示す。歪みの算出は 976fps の読み出し速度により 1000rpm で回転するモーターに取り付けられた磁石の二次元磁束分布図の誤差を 1 画素($50\mu\text{m}$)以下に抑えることができるという結果となった。しかし、一次試作集積化磁気センサチップでは 3000rpm で回転するモーターに取り付けられた磁石の磁束密度分布の誤差を 1 画素($50\mu\text{m}$)以内に抑えることが困難であることがわかった。

次に、図 2-12 の二値化した磁束分布図に対してパターンマッチングによって像の歪みを検出した。今回は円柱状の磁石を使用したため、円のパターンと比較を行った。比較方法は、二値化画像の黒(1)の水平方向の長さを直径とした円のパターンを重ね合わせることで歪みを検出した。円形パターンとの比較によって求められた各読み出し速度・回転数における像の歪みを表 2-2 に示す。

表 2-1 歪みの計算結果

		回転数[rpm]		
fps	歪みの大きさ	400rpm	1000rpm	3000rpm
244	[μm]	67.02	187.67	643.44
	[Pixel 数]	1.34	3.75	12.87
488	[μm]	30.83	93.84	291.56
	[Pixel 数]	0.62	1.88	5.83
976	[μm]	15.42	43.57	125.67
	[Pixel 数]	0.31	0.87	2.51

表 2-2 歪みの円形パターンによる検出結果

		回転数[rpm]		
fps	歪みの大きさ	400rpm	1000rpm	3000rpm
244	[μm]	50	200	600
	[Pixel 数]	1	4	12
488	[μm]	50	100	250
	[Pixel 数]	1	2	5
976	[μm]	0	100	150
	[Pixel 数]	0	2	3

表 2-2 から、歪みの円形パターンによる検出は 976fps の読み出し速度により 400rpm で回転するモーターに取り付けられた磁石の二次元磁束分布図の誤差を 1 画素(50 μ m)以下に抑えることができるという結果となった。以上の結果から、400rpm で回転するモーターの制御に用いることが可能である。

C. 2. 8 実験結果と考察

測定の結果、976fps の読み出し速度により 400rpm で回転するモーターまで制御可能であり、歪みの Pixel 数が回転数に比例して増加していることから 3000rpm で回転するモーターを制御するには約 8 倍(7808fps)の読み出し速度があれば十分であると考えられる。また、計算による算出結果では 976fps \cdot 1000rpm における二次元磁束分布図の像の歪みは 43.57 μ m と 1 画素以内に収まる結果となっていたが、円のパターンとの比較の結果では 100 μ m の誤差となった。これは 1 画素の誤差を判別することが非常に困難であることや、ノイズの影響による画質の劣化が原因と考えられる。

二次元磁束分布図に発生したノイズは大きく分類して二種類あると考えられる。モーターで発生し、磁束印加装置に誘導されるノイズとセンサチップ固有のノイズである。前者はモーターの回転速度を上げることで顕著となり、1000rpm を超えると列に沿ってノイズが現れ始める。磁石を近づけずモーターだけを近づけた磁気センサ上に発生したノイズを図 2-14 に示す。

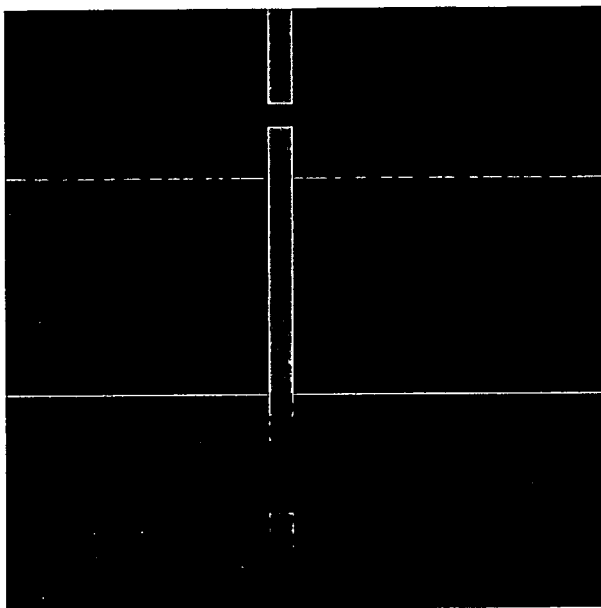


図 2-14 モーターの高速回転が原因で発生するノイズ

磁石を近づけていない場合、本来では黒い画像になるはずである。しかし、モーターを取り付けたことによって発生するようになったノイズにより一列にわたって高い出力が現れている。これはモーターを接近させることで誘導されるノイズが原因であると考えられ、測定系を改善することで抑えることが可能である。後者は、水平ドライバのトランジスタスイッチの駆動力不足や 2 段のソースフォロアや一次試作センサ基板上の差動増幅回路に入力される前のホールセンサからの出力電圧の低さが原因でノイズの影響を大きく受けていると考えられる。

上記の問題を受けて、本研究では一次試作集積化磁気センサチップを高速読み出しに重点を置いて改良した二次試作集積化磁気センサチップの設計を行った。このとき、読み出し速度の目標は現在鮮明な二次元磁束分布図が得られる 976fps の 8 倍である 7808fps とした。

C. 3 集積化磁気センサの二次試作

C. 3. 1 一次試作からの改良点

二次試作の集積化磁気センサは一次試作で問題となった読み出し速度を向上させることに重点を置いて設計した。二次試作の主な特徴はホール素子の構造を改善することによる出力電圧の向上と、並列読み出しによる高速読み出し、差動増幅回路の同一チップ上への集積化である。

C. 3. 1. 1 構造の最適化

これまでの研究により、MOSFET の反転層を利用したホール素子の最適な出力端子位置が判明している。MOSFET の反転層を利用したホール素子からの電圧は、出力端子が中央に配置されている時と比較して、端子位置がソースに近いほど低く、端子位置がドレインに近いほど高くなる。これはドレイン-ソース間の電位差によって反転層の厚さが変化していることが原因であると考えられる。そのため、ドレイン近傍に出力端子を配置することによって約 20%出力電圧が向上することがわかっている。出力端子位置と出力電圧比の関係を図 3-1 に示す。図 3-1 では、素子の中央(0 μm)に端子を配置した際の出力電圧を 100%として比率で表してある。また、このときのゲート長は 13.2 μm である。

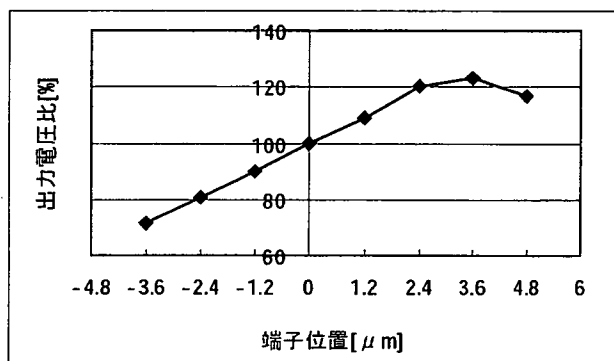


図 3-1 出力端子位置と出力電圧比の関係

二次試作の磁気センサのゲート長 13.2 μm とし、出力端子をドレインから 3.0 μm の位置に配置した(中央から 3.6 μm)。端子位置を図 3-2 に示す。

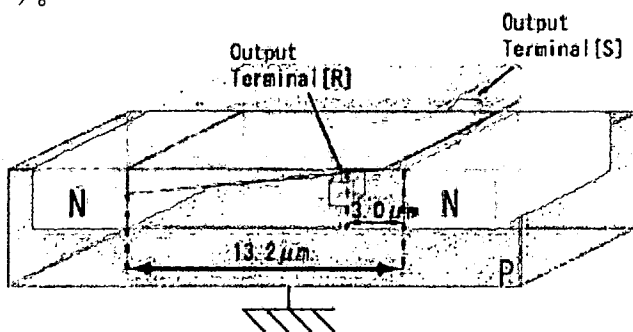


図 3-2 MOSFET を利用したホール素子の最適な端子位置

C. 3. 1. 2 読み出しの並列化

二次試作の磁気センサチップにおける出力電圧の読み出しは 16 本の信号線による同時読み出しとなっている。一次試作は全て(64 列)の Pixel を 1 つのバンクとして 64 列の切り替えを行っていた。二次試作では 4 列の Pixel で 1 つのバンクとして、全体を 16 のバンクとして分割した。このとき、1 つのバンクでは 4 列の切り替えを行う。磁気センサの切り替えのブロック図を図 3-3 に示す。①ではそれぞれのバンクで水平ドライバの 1 列目を読み出し、2 列目②、3 列目③と切り替えながら読み出す。④の 4 列目まで読み出しを終えると次の行の 1 列目へと移行する。

これにより一次試作の磁気センサチップと比較して水平ドライバの速度が 1/16 に軽減され、トランジスタスイッチの駆動力不足が解消できる。よって水平ドライバの速度を変更しなくても、理論上では一次試作の 16 倍の読み出し速度が達成可能である。

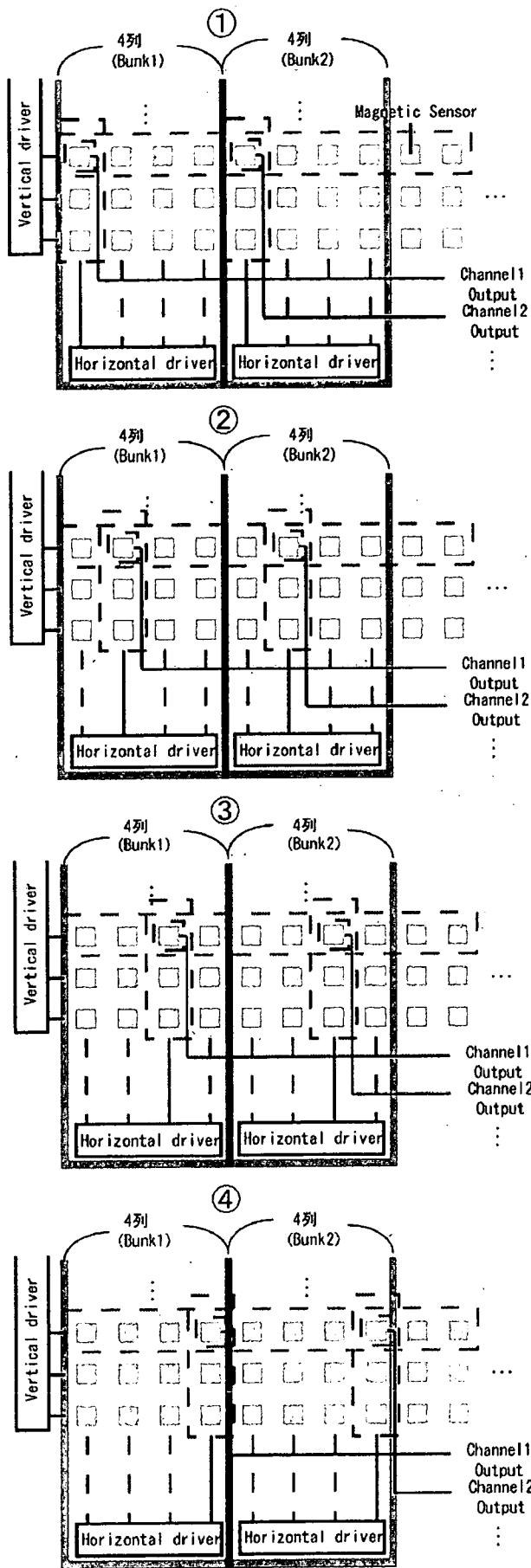


図 3-3 16 チャンネル読み出し

C. 3. 2 二次試作の概要

二次試作の磁気センサチップは一次試作と同様にチップサイズ 4.9mm²であり、50μm²の磁気センサが 64×64 のアレイ状に配置されている。プロセスは ROHM 社 0.35μm 標準 CMOS プロセスルールで、2層ポリ 3層メタル構造である。チップ写真を図 3-4 に示す。

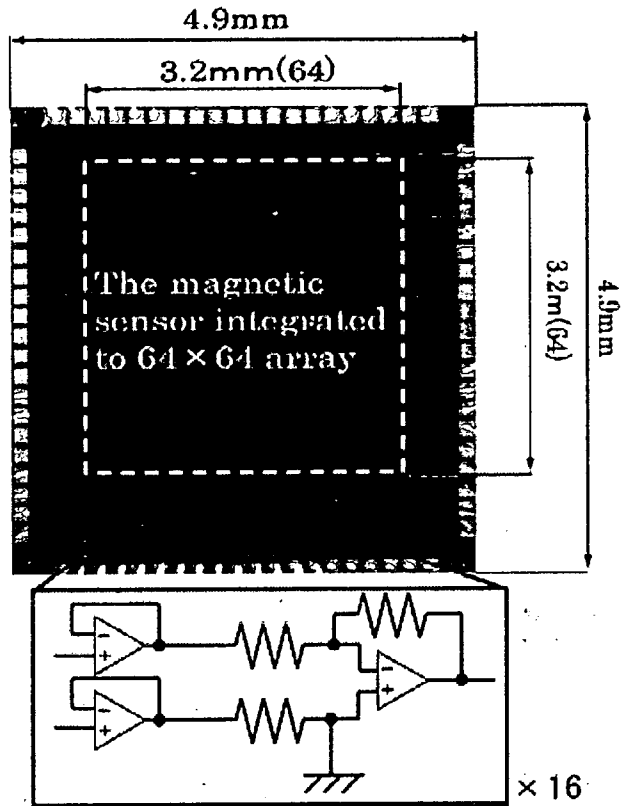


図 3-4 二次試作磁気センサチップ写真

一次試作の磁気センサチップでは、二つの出力端子からの信号をチップ外で 20 倍の差動増幅を行っていたが、二次試作では同一チップの下部に集積化した。図 3-4 中の点線赤枠内に同図中赤枠内のボルテージフォロアと 20 倍の差動増幅回路が 16 チャンネル分集積化されている。また、読み出し信号線の出力バッファを並列に配置することで増強したため、一次試作と比較してノイズの影響を小さくできると考えられる。

C. 3. 3 読み出し回路

二次試作の回路図を図 3-5 に示す。二次試作において行選択は一次試作と同様に Pixel 内で P 型ソースフォロアの構造のトランジスタスイッチによって行っており、列の選択は前節で述べた様に 16 個の水平ドライバ内にある N 型ソースフォロアの構造のトランジスタスイッチによって行っている。Pixel からの 2 つの出力はそれぞれチップ上でオペアンプによるボルテージフォロアを通し、作動増幅回路によって 20 倍に増幅して 16 チャンネル同時にホール電圧としてチップから